

NOSITEL  
VYZNAMENÁNÍ  
ZA BRANNOU  
VÝCHOVU  
I. A II. STUPNĚ



ŘADA PRO KONSTRUKTÉRY

ČASOPIS PRO ELEKTRONIKU  
A AMATÉRSKÉ VYSILÁNÍ  
ROČNÍK XXXVII/1988 ●● ČÍSLO 1

V TOMTO SEŠITĚ

Nově i v RVHP ..... 1

### MIKROPROCESOR 8086

Mikropočítač, jeho koncepce a podpůrné obvody .....	2
8284, generátor taktu a budič ..	4
8288, řadič sběrnice ..	6
8282/82, osmibitové stradače ..	8
8286/87, osmibitové obousměrné zesilovače, budiče sběrnice ..	8
8086, šestnáctibitový mikroprocesor ..	9
Označení a funkce vývodů ..	10
Registry ..	12
Organizace a adresace paměti ..	13
Přerušení ..	15
Časování systému ..	15
Příbuzné typy ..	16
Aplikace ..	
ISBC 86/12 ..	18
Jednodeskový školní mikro-počítač SDK 86 ..	20
Modulový 16bitový mikro-počítač osobního typu ..	22
Obslužné programy a operační systémy ..	27
Povely monitoru ..	28
Literatura ..	29
<b>Konstrukční část</b>	
Mikropočítačový modul s procesorem 8086 ..	31
Popis zapojení, technické vlastnosti ..	31
Povely monitoru, formát povelů ..	35
Deska obrazovkového řadiče ..	36

### AMATÉRSKÉ RADIO ŘADA B

Vydává ÚV Svazarmu ve vydavatelství NAŠE VOJSKO, Vladislavova 26, 133 66 Praha 1, tel. 26 06 51-7. Šéfredaktor ing. Jan Klabal, Redakční radu řídí ing. J. T. Hyán. Redaktor L. Kalousek, OK1FAC. Redakce Jungmannova 24, 113 66 Praha 1, tel. 26 06 51-7, šéfredaktor linka 354, redaktor linka 353, sekretářka linka 355. Ročně vyjde 6 čísel. Cena výtisku 5 Kčs, pololetní předplatné 15 Kčs. Rozšiřuje PNS, v jednotkách ozbrojených sil vydavatelství NAŠE VOJSKO, administrace Vladislavova 26, Praha 1. Objednávky přijímá každá pošta i doručovatel. Objednávky do zahraničí vyřizuje PNS, ústřední expedice a dovoz tisku, závod 01, Kalkova 9, 160 00 Praha 6. Tiskne NAŠE VOJSKO, n. p., závod 08, 160 05 Praha 6, Vlastina ulice č. 889/23. Za původnost a správnost příspěvku odpovídá autor. Návštěvy v redakci a telefonické dotazy po 14. hodině. Číslo indexu 46 044.

Toto číslo má vyjít podle plánu 18. 2. 1988.  
© Vydavatelství NAŠE VOJSKO.

## NOVĚ I V RVHP

Dokončení

Minule jsme si uvedli základní fakta o vzniku a rozvoji RVHP. Jedním z nejdůležitějších úkolů členských zemí RVHP v oblasti ekonomiky a vzájemné spolupráce je v současné etapě proces, který je ve Statutu Rady zakotven takto: Rada vzájemné hospodářské pomoci je vedena cílem spolupůsobit cestou sjednocení a koordinace úsilí členských zemí RVHP... ke zvýšení úrovně industrializace zemí s méně rozvinutým průmyslem, k postupnému sbližování a vyrovnávání úrovně hospodářského rozvoje.

Tento proces je z velké míry zajišťován širokým využíváním předností mezinárodní socialistické dělby práce, jejíž nedílnou součástí je maximální mobilizace a účinné využívání vlastních zdrojů té či oné země. Výsledkem tohoto procesu, tj. výsledkem socialistické industrializace a širokého využití vzájemné dělby práce bylo již koncem šedesátých let dobudování národohospodářských komplexů, jejichž základem byla odvětví těžkého průmyslu — především energetika, hutnictví, strojírenství a chemie. Podstatně se sblížily základní ukazatele hospodářského rozvoje — toho bylo dosaženo zásluhou vyšších temp růstu výroby v méně vyspělých zemích v porovnání s tempy růstu ve vyspělejších socialistických státech.

Po vstupu Mongolské lidové republiky, Kuby a Vietnamské socialistické republiky do RVHP byla přijata v RVHP zvláštní linie, směřující k vyrovnávání úrovně hospodářského rozvoje, neboť tyto země zdědily z minulosti největší břemeno hospodářské zaostalosti. V této souvislosti je třeba poznamenat, že pomoc hospodářsky vyspělejších zemí méně vyspělým partnerům není pro ně spojena s žádnými tíživými požadavky ani závazky. Zásadně nové možnosti se navíc otevírají v souvislosti s realizací komplexního programu vědeckotechnického pokroku a spolupráce členských zemí RVHP do roku 2000. Marxisticko-leninské strany zemí socialistického společenství berou v úvahu i tak účinný činitel ozdravení mezinárodní situace (kterou narušuje imperialismus např. tím, že se snaží přenést na bedra národů nejen svízele hospodářské krize, ale i část výdajů na horečné zbrojení), jakým je síla příkladu bratrských států. V deklaraci ekonomické rady RVHP na nejvyšší úrovni se praví: „Příklad zemí RVHP, jejich úspěchy v socialistické a komunistické výstavbě a upevňování vztahů přátelství a spolupráce mezi nimi mají velmi kladný vliv na světový vývoj. Socialistické státy ve své vzájemné spolupráci i ve vztazích s jinými státy důsledně uplatňují v praxi zásady mezinárodních vztahů nového typu a účinně tím přispívají k přestavbě mezinárodních hospodářských vztahů na spravedlivém a demokratickém základě“.

Působení obecných ekonomických zákonitostí rozvoje socialismu nevyhnutelně sbližuje hospodářskou politiku všech bratrských států. V tom je základ společné strategie socialistické ekonomické integrace — jeho výrazem je Komplexní program dalšího prohloubení a zdokonalení spolupráce, a rozvoje socialistické ekonomické integrace. Pokud jde o vědeckotechnický pokrok,

je plánován v Komplexním programu jako přesně určené prioritní směry, tj. hlavní části technologického převratu: elektronizace národního hospodářství, komplexní automatizace, jaderná energetika, nové materiály a technologie jejich výroby a zpracování a konečně biotechnologie. Tyto priority tvoří základní obsah koordinované a v některých oblastech jednotné vědeckotechnické politiky bratrských zemí.

Je na místě položit si otázku, jsou-li úkoly a plány Komplexního programu splnitelné, především po zkušenostech ze sedmdesátých let, v nichž se zřetelně snížilo tempo hospodářského růstu. Jak ukázaly nejrůznější analýzy, došlo k takové situaci proto, že nebyla plně pochopena naléhavost a neodkladnost intenzifikace na základě vědeckotechnického pokroku. Navíc se ve vztahu k tempům rozvoje socialistické ekonomiky vytvořily některé stereotypy, zpomalení růstu bylo např. omlouváno i nárustem objemu výroby a složitějšími ekonomickými vztahy.

Protože je zřejmé, že plánovaný prudký obrát k intenzifikaci nelze zajistit pouhým rozvojem tradiční materiálně technické základny, která zastarala morálně i technicky, je nutný převrat v této oblasti. Stejně je třeba překonat všechny stereotypy, zaběhnuté metody a činnosti — strategie intenzifikace na základě urychlení vědeckotechnického pokroku nese s sebou specifické požadavky i na další rozvoj integračního procesu v rámci RVHP, jiný přístup ke kooperaci, k propojování ekonomik bratrských zemí atd.

Nově i v RVHP — to bylo heslo 43. mimořádného zasedání RVHP v říjnu minulého roku v Moskvě. Zasedání vycházelo ze schůzky nejvyšších představitelů zemí RVHP v listopadu 1986, která rozhodla, že pro další rozšíření vzájemné spolupráce členských zemí Rady a další potřebné prohloubení mezinárodní socialistické ekonomické integrace dosavadní mechanismus již nevyhovuje a je třeba jej změnit.

V současné době všechny bratrské země vstupují do nové fáze hospodářského rozvoje a tomu musí odpovídat i důkladná přestavba RVHP. V činnosti RVHP je třeba především organičtěji skloubit koordinaci plánů spolupráce s rozvojem přímých vztahů mezi podniky a vědeckovýzkumnými organizacemi. Zasedání některé problémy, dané rozdílným stupněm hospodářského rozvoje, určitými rozdíly v řízení ekonomik jednotlivých zemí, rozdílnými stupni hospodářsko-právních předpisů, rozdílnými konkrétně ekonomickými zájmy vyřešit nemohlo, tyto problémy musí být řešeny postupně a společným úsilím, vyřešeny však být musí. V této souvislosti zasedání rozhodlo, že v zájmu stanovení dohodnutých směrů spolupráce bude připravena kolektivní koncepce mezinárodní socialistické dělby práce na léta 1991 až 2005, přičemž práce na této koncepci mohou dát i cenné a použitelné poznatky pro potřebné změny mechanismu integrace.

Druhou zásadní otázkou, která byla na zasedání projednána, byla realizace komplexního programu vědeckotechnického pokroku členských zemí RVHP do roku 2000, což je v současnosti nejdůležitější úkol a oblast vědy a techniky s tím, že není možno, aby nadále poctivě a úspěšně plnění programu přinášelo jeho realizátorům finanční ztrátu nebo jiné hospodářské

nejistoty.

Nové v práci RVHP je např. i to, že v minulosti osvědčená koordinace hospodářské činnosti v souvislosti s koordinací národohospodářských plánů bude obohacena o dokonalejší mechanismy spolupráce, o další plánovací a zbožné peněžní nástroje, o potřebné nové měnové, finanční a úvěrové vztahy. Celá souinnost musí být směřována tak, aby se v zemích RVHP prohloubila mezinárodní dělba práce, aby bylo možno vyrábět jakostní zboží na nejvyšší technické úrovni ve velkých sériích, levně a s vysokou produktivitou. Stranou pozornosti zasedání nezustala ani otázka konvertibilitnosti měn členských států,

zpružnění dodavatelsko-odběratelských vztahů bez zbytečných mezičlánků — ke všem uvedeným problémům byla přijata příslušná usnesení a doporučení. Tato usnesení a doporučení připravoval celý kolektiv odborníků a předních vědců všech zemí společenství.

Toto mimořádně 43. zasedání RVHP skončilo v říjnu 1987, příští (řádné) zasedání, tj. 44., bude v letošním roce v Praze a přinese nesporně další úkoly, jejich řešení a splnění bude přímým pokračováním změn, které byly nastoleny 43. zasedáním.

L. K.

# MIKROPROCESOR 8086

Ing. J. T. Hyan

**Šestnáctibitové mikroprocesory tvoří logické pokračování generace předchozích počítačových čipů. Jsou to obsáhlejší a výkonnější integrované obvody, určené k doplnění či náhradě osmibitových mikroprocesorů, jejichž existenci započala mikropočítačová revoluce v sedmdesátých letech.**

**Šestnáctibitové mikroprocesory jsou zajímavé nejen proto, že jsou proti svým předchůdcům mnohonásobně rychlejší a tím i výkonnější, ale i tím, že jejich cena je dnes značně nižší než tehdejší cena osmibitových. Jejich nasazením je umožněno dosáhnout překvapivých vlastností jimi vybavených výrobků, jako jsou počítače, které syntetickým hlasem sdělují potřebné informace či naslouchají obsluze, vytvářející trojrozměrné barevné obrázky počítačové generovaných filmů či umožňující práci s rozsáhlými datovými základnami (např. prostřednictvím telefonního spojení).**

V následujícím textu se pokusíme přiblížit čtenáři problematiku jednoho z nejvíce rozšířených šestnáctibitových mikroprocesorů, typu 8086. Ten se dnes dostává do popředí zájmu, neboť jím, či jeho odvozeným typem 8088 a následníky 80186 a 80286 je osazována převážná většina šestnáctibitových osobních počítačů. Nicméně vzhledem k obsáhlosti tématu, zejména pokud jde o některé spolupracující podpůrné obvody (8259A) a koprocessory (8087, 8089), musíme odkázat zájemce na samostatnou literaturu, neboť v tomto čísle AR řady B jsme se omezili na jádro tématu, tj. na vlastní mikroprocesor včetně jeho nezbytného okolí. Na dvou aplikačních příkladech — mikropočítačích SDK 86 a ct'86 nastíníme rozvoj mikropočítačových systémů, jenž nepochybně směřuje k nasazování perspektivních a extrémně rychlých dvaatřicetibitových mikroprocesorů.

## Mikropočítač — jeho koncepce a podpůrné obvody

Každý mikropočítač je tvořen nejen mikroprocesorem, ale celou řadou dalších nutných obvodů, z nichž na prvním místě jsou paměti pro uložení programu a ukládání dat. Tyto obvody, jež budou dále popsány, tedy podporují činnost mikroprocesoru; odtud plyne i jejich obecný název: podpůrné obvo-

dy. Paměti, jež jsou nezbytnou částí počítače, mezi podpůrné obvody nezahrnujeme; zásadně sem však patří řadiče, jako např. řadič obrazovkového displeje, řadič klávesnice, řadič pružných disků, řadič tuhého disku typu Winchester, řadič grafického „jednobarevného“ či barevného displeje (s velkou rozlišovací schopností) a další. Dále sem patří stykové obvody sériové či paralelní — většinou taktéž programovatelné — a dekodéry výběru všech zmíněných obvodů. (Posledně jmenované uvolňují sekvenčně jednotlivé uvedené obvody pro spolupráci s mikroprocesorem, čímž je zabráněno kolizi dat na sběrnici.) Nelze opominout ani zesilovače sběrnic, odděluující výstupy mikroprocesoru a chránící jej před přetížením.

Světoví výrobci integrovaných obvodů po vývoji toho či onoho typu mikroprocesoru pochopitelně nezapomínají na potřebu podpůrných obvodů, a tak jimi — třeba postupně a mnohdy s časovou prodlevou — vytvářejí tzv. rodiny či série. To samozřejmě platí i o mikroprocesoru 8086 a vztahuje se i na z něho odvozené pozdější vylepšené typy.

Šestnáctibitový mikroprocesor 8086 měl navíc při svém vzniku výhodu, že pro jeho předchůdce 8080 již některé podpůrné obvody existovaly (jako je např. 8251 či 8255), takže je mohl jen převzít. To ovšem neplatilo obecně, tak třeba programovatelný řadič přerušení 8259, nacházející uplatnění u osmibitových mikropočítačů, bylo třeba po potřeby 8086 přestrukturovat, čímž vznikl

odlišný typ 8259A! (To platí i pro další podpůrné obvody; nové verze jsou označeny písmenem A, např. 8251A, či 8284A atd.) A třebaže škála podpůrných obvodů rodiny Intel 8086 je poměrně široká, nesetkáváme se vždy s jejími členy v zapojeních či konstrukcích osobních počítačů s mikroprocesorem 8086 nebo jeho odvozeninou 8088 s osmibitovou datovou sběrnicí. To proto, že výrobci počítačů (z nejrůznějších důvodů) používali a používají podpůrné obvody z jiných rodin než pochází sám mikroprocesor. Takovým typickým příkladem je řadič obrazovkového displeje (CRT controller) 6845 fy Motorola, s nímž se v této funkci setkáváme u IBM-PC s mikroprocesorem 8088 (Intel), atp.

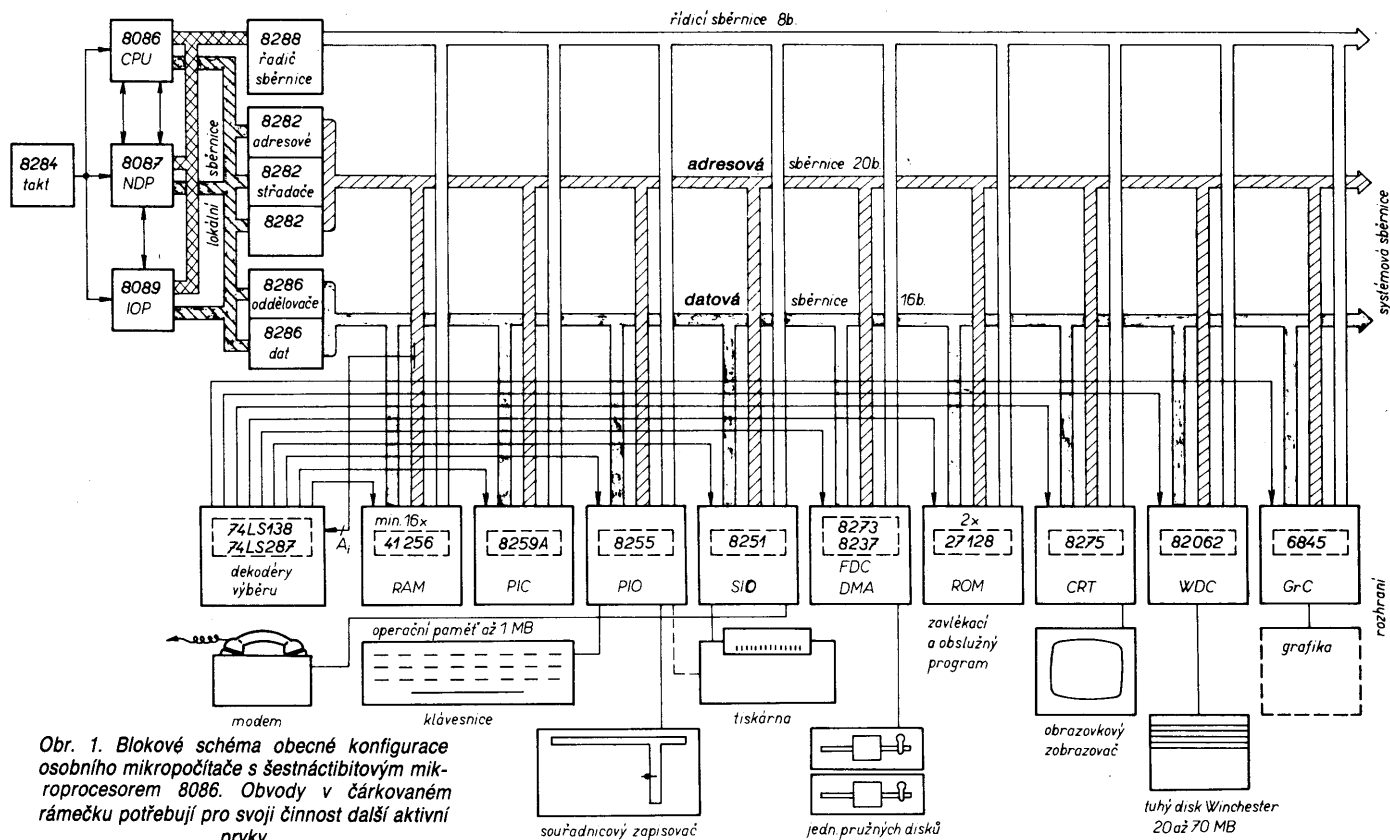
Speciálními případy podpůrných obvodů série Intel v oblasti šestnáctibitových mikroprocesorů jsou dva typy tzv. koprocessorů (tzn. spolupracujících procesorů), a sice typy 8087 a 8089. Tomu prvnímu se někdy říká numerický procesor (number cruncher). Jeho nasazením v osobním počítači — podle povahy řešené úlohy — vzroste výkon systému 10 až 100×! Ten druhý je tzv. stykový procesor (input-output processor), jehož použitím vzroste rychlost přenosu některých operací asi 6× (8089 pracuje totiž jako inteligentní řadič DMA — zabezpečuje přímý přístup do paměti, čímž odlehčuje vlastní procesor 8086/88 od těchto operací).

Blokové schéma na obr. 1 znázorňuje konfiguraci šestnáctibitového osobního mikropočítače spolu s uvedením nejčastěji používaných podpůrných obvodů pro ten či onen blok. Toto schéma je ovšem maximalistické — proto nemusí být vždy dodrženo. (Jak uvidíme později, lze vytvořit provozuschopný systém s minimem součástí.)

Blokové schéma naznačuje, jak jsou spolu propojeny výše uvedené tři procesory, a sice:

- 8086 CPU (central processing unit) — základní procesorová jednotka,
- 8087 NDP (numeric data processor) — datový procesor, a
- 8089 IOP (input-output processor) — stykový procesor.

Uvedené procesory svým propojením a spoluprací vytvářejí výkonný výpočetní komplex, v němž úlohu generálního manažera vykonává mikroprocesor 8086, přidávající — podle příslušného programu — úkoly ostatním dvěma procesorům. Aritmetické výpočty s velkou přesností zpracovává 8087, zatímco 8089 přesouvá bloky dat mezi obrazovou pamětí a operační pamětí v celém systému. Tato skupina má vlastní místní sběrnici (local bus). Sig-



Obr. 1. Blokové schéma obecné konfigurace osobního mikropočítače s šestnáctibitovým mikroprocesorem 8086. Obvody v čárkovaném rámečku potřebují pro svoji činnost další aktivní prvky

nály řídicích linek (vedení) jdoucích přímo od CPU k NDP a pak k IOP, rozhodují o tom, kdo „obhospodařuje“ v daném okamžiku místní adresovo-datovou sběrnici (z daných tří smí ji řídit vždy jen jeden v jemu přiděleném čase).

CPU je buzena z generátoru hodinových impulsů 8284A. Lokální sběrnice je propojena s dalšími bloky mikropočítače přes tyto stykové obvody (zesilovače sběrnice):

- 8082 (octal latch) — osmibitový střadač,
- 8286 (octal bus transceiver) — osmibitový datový vysílač, a
- 8288 (bus controller) — řadič sběrnice.

Na výstupech zesilovačů sběrnice 8282 se nachází již dvacetibitová adresová sběrnice, za dvěma obousměrnými vysílači 8286 se nachází šestnáctibitová datová sběrnice a za jedním systémovým řadičem 8288 je osm linek řídicí sběrnice; tyto tři vnější sběrnice (z hlediska umístění odděleného procesoru) tvoří tzv. systémovou sběrnici mikropočítače, k níž jsou připojena veškerá periferní zařízení včetně pamětí. Oddělovače jsou potřebné:

- a) k cílenému oddělení systémové sběrnice od lokální, např. při DMA,
- b) ke zvětšení možnosti proudového buzení podpůrných obvodů a paměťových čipů, připojených k systémové sběrnici.

Dále se v blokovém schématu setkáváme s dvojicí systémových řadičů.

Jsou to:

- 8259A (programmable interrupt controller) — programovatelný řadič přerušení a
- 8237 (programmable DMA controller) — programovatelný řadič přímého přístupu k paměti DMA (direct memory acces).

Tyto dva systémové řadiče zabezpečují vnitřní funkce přenosu DMA a prioritní vyvolávání přerušení.

Posléze nacházíme v blokovém zapojení ještě programovatelné stykové obvody, jež ovšem budou většinou čtenářů známé z rodiny 8080. Jsou to:

- 8251 (programmable serial interface controller) — programovatelný stykový obvod pro sériovou komunikaci, (SIO) a
- 8255 (programmable parallel interface controller) — programovatelný stykový obvod pro paralelní komunikaci (PIO).

Tyto obvody spolu s dalšími součástkami (např. diskretními tranzistory či speciálními IO) zajišťují komunikaci s klávesnicí, tiskárnou (paralelní), případně s digitálním zapisovačem či souřadnicovým snímačem. Rovněž mohou zprostředkovat styk se sériovou tiskárnou, obrazkovým terminálem, případně se vzdálenými perifériemi (taktéž sériově) pomocí modemů.

Další podpůrné — stykové obvody jsou již speciálního charakteru a mají předurčená použití. Jsou to:

- 8275 (programmable CRT controller) — programovatelný řadič obrazovky,
- 8272 (programmable floppy-disk-controller, FDC) — programovatelná řadič pružného disku,
- 82062 programovatelný řadič disku Winchester.

*Pozn.: v praxi se ne vždy setkáváme s posledně jmenovanými řadiči. To proto, že jak 8275, tak i 8272 nejsou právě nejlepšími představiteli speciálních řadičů. Na jejich místě nalezneme spíše typy jiných výrobců, např. řadiče pružných disků fy Western Digital série MD 279X, nebo obrazkový řadič fy Motorola typ 6845 či vylepšený typ fy Hitachi HD68B45S. Rovněž tak na místě řadiče tuhých disků nacházíme nejčastěji typ WD1002 nebo WD2010 fy Western Digital, a to nejen proto, že jsou levnější, ale hlavně z toho důvodu, že řadič 82062 fy Intel měl ukončený vývoj teprve v roce 1984. Pro své vynikající vlastnosti je řadič obrazovky 6845 vyráběn i jinými výrobci, např. francouzskou firmou Thomson-CSF; svými schopnostmi — např. možností připojit světelné pero, volbu formátu znaků, jejich počtu na*

řádek, počtu řádek atd., jakož i schopností jemné grafiky nachází uplatnění v řadě osobních počítačů, včetně IBM-PC.

K systémové sběrnici mimo uvedené řadiče a jim příslušející zařízení jsou pochopitelně připojeny i rozsáhlá paměť dat RAM o kapacitě až 1 MB a paměť programů ROM, jež tvoří tzv. operační paměť počítače. U současných výrobků kapacita paměti RAM neklesá pod 256 KB; je vždy rozšiřitelná na 640 KB, popř. až na 1 MB. Paměť ROM má obvykle kapacitu kolem 4 až 16 KB, popř. až 128 KB. Vždy obsahuje samozaváděcí program (bootstrap) inicializující řadič pružného disku a převádějící obsah systémové stopy do paměti dat. Tam je již realizováno dokončení přehrání operačního systému (DOS), včetně inicializace, tj. nastavení výchozích podmínek všech programovatelných obvodů, jakož i ohlášení připravenosti systému k příjmu příkazů uživatele.

Takto tedy je ve vší stručnosti popsána koncepce zapojení šestnáctibitového osobního počítače (mikropočítače). Pokud je na místě CPU místo 8086 použit quazišestnáctibitový mikroprocesor 8088 — s osmibitovou datovou sběrnici (vnější — vnitřní zůstává šestnáctibitová), blokové zapojení se zjednoduší na osmibitovou datovou sběrnici a o jeden datový vysílač 8286. Jde tedy o nepatrnou modifikaci, která se hlavně projeví v seřazení paměťových čipů. Oba koprocessory 8087 a 8089 jsou navrženy tak, že mohou pracovat jak s šestnáctibitovou, tak i s osmibitovou datovou sběrnici; zjednodušení se však projeví v poklesu rychlosti, neboť šestnáctibitová slova nemohou být vysílána naráz, ale po slabikách atd.

Osobní počítač s mikroprocesorem 8088 je tedy poněkud jednodušší, což

vyhovuje osmibitovým vstupům/výstupům stykových obvodů 8251 a 8255. Osmibitová datová sběrnice může znamenat nižší pořizovací náklady, avšak proti šestnáctibitové, popř. šestnáctibitovým systémům je vždy pomalejší.

**Pozn.:** Vzhledem ke struktuře 8086/88 se dvěma interními procesory zpomalení přenosu dat osmibitovou sběrnicí oproti přenosu po šestnáctibitové však může být relativně malé! Přesto se modernější osobní počítače (např. IBM PS/2 — model 30) osazují již jen šestnáctibitovými mikroprocesory typu 8086, popř. 80186 či 80286.

Třeby jsou v blokovém schématu zakresleny oba koprocessory, nemusí být — a také vždy nejsou — v reálné konstrukci zastoupeny. Je-li však vyžadována rychle se měnící grafika, tj. pohyb zvolených předmětů na obrazovce, jejich rotace či možnost změny měřítka (zoom), pak tvoří cenné pomocníky pro tyto účely. To proto, že zde vzhledem k značnému množství bodů displeje, jež je nutno přemísťovat, jsou nutné rychlé odezvy na příkazy programu. A ty jsou právě zajišťovány koprocessory.

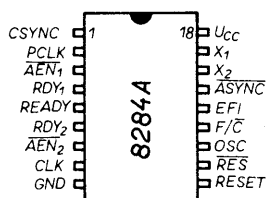
Závěrem této stati je třeba se zmínit ještě o tom, že se též nesetkáváme vždy se zesilovači sběrnic typu 8282/83 a 8286/87 rodiny Intel, ale s analogickými obvody ze série 74LS24X. Hlavním důvodem pro nasazování obvodů řady 74LS.. je jejich menší příkon. Rovněž mnohé z uvedených podpůrných obvodů se u mikroprocesorových systémů pro méně náročná nasazení nepoužívají. V dalším tedy věnujeme pozornost nejčastěji se vyskytujícími podpůrnými obvody včetně šestnáctibitového mikroprocesoru 8086.

#### 8284A — generátor hodinových impulsů a budič pro procesory 8086, 8088 a 8089

Mikropočítačový systém, opírající se o mikroprocesor 8086/8088, vyžaduje samostatný generátor taktu — generátor hodinových impulsů, jenž svým taktům zajišťuje správné časování.

Obvod 8284 je bipolární generátor taktu; byl navržen ke generování hodinových signálů pro procesory 8086, 8088, 8089 a návazné periferní obvody. Obsahuje rovněž logiku signálu READY pro činnost se dvěma systémy a zajišťuje synchronizaci a časování signálu READY požadovaného procesory. Je rovněž vybaven logikou signálu RESET s hysterezí a synchronizací; umožňuje však též výběr zdroje hodinového signálu.

Obvod je umístěn v osmnáctivývodovém pouzdře DIL, má jediné napájecí napětí +5 V. Jako zdroj kmitočtu používá krystal či z vnějšku přivedený signál TTL. Na obr. 2 je tvar pouzdra spolu s označením vývodů.



Obr. 2. Pouzdro a vývody obvodu 8284A

#### Význam a funkce jednotlivých vývodů obvodu 8284

**AEN<sub>1</sub>, AEN<sub>2</sub> (address enable)** — vstupy pro uvolnění adresy, aktivní v nule. Slouží k uvolnění odpovídajícího signálu připravenosti sběrnice RDY<sub>1</sub> nebo RDY<sub>2</sub>. Signály AEN se používají v systémových konfiguracích, kde umožňují procesoru přístup ke dvěma sběrnicím tzv. typu multi-master (multi-master system buses). Multi-master system bus je systémová sběrnice, jejíž řízení může přejímat několik různých modulů se schopností tuto sběrnici řídit (= master). Není to tedy pouze sběrnice systému s několika procesory. V jednoduchých systémech jsou vstupy AEN uzemněny.

**RDY<sub>1</sub>, RDY<sub>2</sub> (bus ready)** — vstupy, aktivní v jedničce, indikující příslušným signálem ze zařízení, připojeného na systémové datové sběrnici, že data byla přijata nebo jsou k dispozici. RDY<sub>1</sub> je uvolněn signálem AEN<sub>1</sub>, RDY<sub>2</sub> signálem AEN<sub>2</sub>.

**ASYNC (ready synchronization select)** — vstup, aktivní v nule, definující synchronizační způsob logiky READY. Je-li ASYNC = H, je realizována dvoustupňová synchronizace READY, při ASYNC = L je realizována jednostupňová synchronizace READY.

**READY** — výstup, aktivní v jedničce, nesoucí synchronizovaný vstupní signál RDY. READY je nulován až po zaručeném přesahu, vyžadovaném procesorem.

**X<sub>1</sub>, X<sub>2</sub>** — vstupy pro připojení krystalu požadovaného kmitočtu. Rezonanční kmitočet krystalu musí být trojnásobkem zvoleného hodinového taktu procesoru.

**F/C (frequency-crystal select)** — vstup pro volbu zdroje hodinového taktu. Při jedničkové úrovni odebírá se tak z vnějšku prostřednictvím vstupu EFI, při nulové úrovni (vstup uzemněn) je takt generován vestavěným oscilátorem obvodu 8284.

**EFI (external frequency in)** — vstup pro přivedení vnějšího kmitočtu úrovně TTL, popřípadě jednotlivých impulsů (tři na jeden výstupní impuls CLK). Je aktivní pouze při úrovni F = H.

**CLK (processor clock)** — výstup, z něhož je přiváděn signál hodinového taktu na procesor a pro další podpůrné obvody. Kmitočet CLK je roven jedné třetině kmitočtu krystalu či vnějšího kmitočtu EFI a má střidu 1:3. Pro spolehlivé buzení obvodů MOS má jedničkovou úroveň, tj. 4,5 V.

**PCLK (peripheral clock)** — výstup, obsahující hodinový signál pro podpůrné (periferní) obvody v úrovních TTL, jehož kmitočet je roven 1/2 CLK a má střidu 1:2.

**OSC (oscillator output)** — výstup, obsahující signál o úrovních TTL a o shodném kmitočtu s kmitočtem krystalu (3x CLK).

**RES (reset in)** — vstup, aktivní v nule, používáný pro generování signálu RESET. 8284 je vybaven Schmittovým tvarovačem na vstupu, umožňujícím použít člen RC pro vytvoření signálu RESET automaticky při zapnutí napájení.

**RESET** — výstup, aktivní v jedničce, používáný k nastavení výchozích stavů (iniciace) procesorů rodiny 8086. Jeho časový průběh je závislý na stavu signálu RES.

**CSYNC (clock synchronization)** — vstup, aktivní v jedničce, umožňující synchronizaci několika obvodů 8284 tak, aby jejich hodinové výstupní taktly byly ve fázi. Je-li CSYNC = H, nulují se vnitřní čítače. Při CSYNC = L je uvolněno čítání. CSYNC potřebuje vnější synchronizaci se signálem EFI. Při použití vnitřního oscilátoru by se měl CSYNC uzemnit.

**U<sub>CC</sub>** — napájení +5 V.

**GND (ground)** — „zem“ obvodu (0 V).

#### Struktura a funkce obvodu

Na obr. 3 je vnitřní uspořádání obvodu 8284A spolu s vyznačením vstupů (na levé straně) a výstupů (vpravo). (8284A se liší od svého předchůdce 8284 funkcí ASYNC, jež byla zavedena za zrušenou TANK — [10], [52].)

Ze struktury obvodu plyne, že se skládá z oscilátoru, generátoru hodinových impulsů a synchronizační logiky READY.

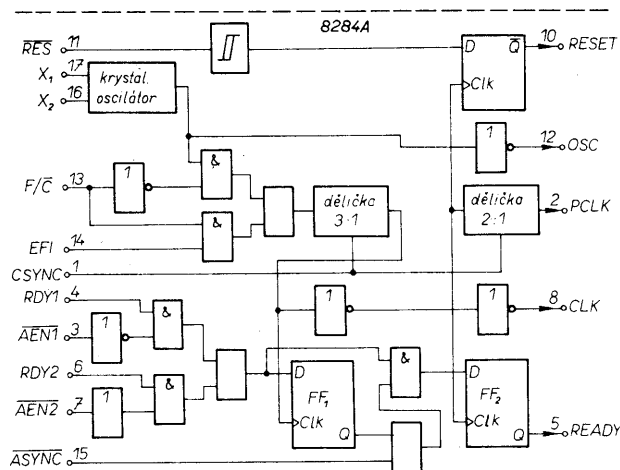
Obvod oscilátoru byl navržen pro použití s krystalem v sériové rezonanci. (Nicméně může být použit i v provozu na vyšší harmonické základního kmitočtu krystalu). Kmitočet krystalu musí být trojnásobkem požadovaného taktu CLK. Výstup oscilátoru je oddělen a přiveden na výstup OSC, kde je k dispozici jako další stabilní zdroj signálu pro odvození časovacích signálů systému.

Generátor hodinového taktu se skládá ze synchronního děliče 1:3 se speciálním nulovacím vstupem, jenž blokuje čítání. Tento nulovací vstup CSYNC umožňuje synchronizaci hodin s vnějším, např. s jiným obvodem 8284. Při tom je nezbytné synchronizovat CSYNC s vnějším signálem EFI, např. dvěma Schottkyho klopnými obvody podle obr. 4.

Výstup čítače má kmitočet rovný jedné třetině oscilátorového kmitočtu. Vstupem F/C se volí jako zdroj taktovacího signálu buď krystalový oscilátor nebo přes vstup EFI vnější signál, jehož kmitočet je dělen třemi. Použije-li se

Tab. 1. Stejnoseměrné parametry 8284A

Symbol	Parametr	Min.	Max.	Poznámka
$I_F$	vstupní proud v předním směru		0,5 mA	$U_F = 0,45$ V
$I_R$	vstupní závěrný proud		50 $\mu$ A	$U_R = 5,25$ V
$U_C$	vstupní záchytné napětí		-1,0 V	$I_C = -5$ mA
$I_{CC}$	proud z napájecího zdroje		140 mA	
$U_{IL}$	vstupní napětí dolní úrovně		0,8 V	$U_{CC} = 5,0$ V
$U_{IH}$	vstupní napětí horní úrovně	2,0 V		$U_{CC} = 5,0$ V
$U_{IHR}$	vstupní napětí horní úrovně vst. RES	2,6 V		$U_{CC} = 5,0$ V
$U_{OL}$	výstupní napětí dolní úrovně		0,45 V	5 mA
$U_{OH}$	výstupní napětí horní úrovně CLK	4 V		-1 mA
	ostatní výstupy	2,4 V		-1 mA
$U_{IHR}$	hystereze vstupu RES	0,25 V		$U_{CC} = 5,0$ V
$U_{ILR}$				



Obr. 3. Vnitřní zapojení obvodu 8284A

jako zdroj hodin vstup EFI, lze využít i oscilátorové sekce jako dalšího nezávislého zdroje hodinového taktu s výstupem na vývodu OSC. Výstup generátoru hodinového taktu CLK budí přímo procesor 8086 se střídou 1:3. Výstup PCLK poskytuje takt pro periferní obvody, a to s kmitočtem rovným 1/2 CLK v úrovních TTL a se střídou 1:2.

Iniciační logika pro RESET — nastavení výchozího stavu — je vybavena hradlem se Schmittovým obvodem na vstupu RES a synchronizačním klop-

ným obvodem. Signál RESET je synchronizován na sestupnou (týlovou) hranu impulsu CLK, viz obr. 5.

Synchronizační logika READY slouží pro přizpůsobení dvou systémových sběrnic typu multi-master, pro což má k dispozici dva vstupy RDY<sub>1</sub> a RDY<sub>2</sub>. Každý z těchto vstupů pak má kvalifikátor (AEN<sub>1</sub>, popř. AEN<sub>2</sub>), jenž potvrzuje platnost odpovídajícího signálu RDY. Pokud se nepracuje se systémem s několika sběrnicemi, jsou vývody AEN uzemněny.

Tab. 2. Dynamické parametry 8284A  
Požadavky na časování

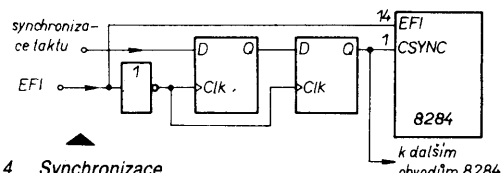
Symbol	Parametr	Min.	Max.	Poznámka
$t_{EHL}$	šířka ext. impulsu — horní úroveň	13 ns		90 %—90 %
$t_{ELEH}$	šířka ext. impulsu — dolní úroveň	13 ns		10 %—10 %
$t_{EEL}$	perioda EFI	$t_{EHL} + t_{ELEH} + \delta$		U <sub>IN</sub>
$f_{R1CL}$	kmitočet krystalu	12 MHz	25 MHz	U <sub>IN</sub>
$t_{CLR1X}$	předstih RDY <sub>1</sub> , RDY <sub>2</sub> vůči CLK	35 ns		pozn. 1)
$t_{A1RV1V}$	předstih AEN <sub>1</sub> , AEN <sub>2</sub> vůči CLK	0 ns		
$t_{CLA1X}$	přesah AEN <sub>1</sub> , AEN <sub>2</sub> vůči CLK	15 ns		
$t_{YHEM}$	předstih CSYNC vůči EFI	0 ns		
$t_{EHYL}$	předstih CSYNC vůči EFI	20 ns		
$t_{YHYL}$	šířka CSYNC	20 ns		
$t_{I1HCL}$	předstih RES vůči CLK	2 $t_{EEL}$		
$t_{CL11H}$	přesah RES vůči CLK	65 ns		pozn. 2)
		20 ns		pozn. 2)
<b>Časové odezvy</b>				
$t_{CLCL}$	CLK perioda	125 ns		
$t_{CHCL}$	CLK šířka (horní úroveň)	$(1/3 t_{CLCL}) + 2,0$ ns		obr. 5
$t_{CLCH}$	CLK šířka (dolní úroveň)	$(2/3 t_{CLCL}) - 15$ ns		obr. 5
$t_{CH1CH2}$	CLK náběh a doběh		10 ns	1,0 až 3,5 V
$t_{CL2CL1}$				
$t_{PHPL}$	PCLK šířka (horní úroveň)	$t_{CLCL} - 20$ ns		
$t_{PLPH}$	PCLK šířka (dolní úroveň)	$t_{CLCL} - 20$ ns		
$t_{RYLCL}$	neaktivní hrana READY vůči CLK — pozn. 4)	-8 ns		obr. 6
$t_{RYVCH}$	aktivní hrana READY vůči CLK — pozn. 3)	$(2/3 t_{CLCL}) - 15$ ns		obr. 6
$t_{CIL}$	zpoždění RESET vůči CLK	40 ns		
$t_{CLPH}$	zpoždění PCLK(H) vůči CLK		22 ns	
$t_{CLPL}$	zpoždění PCLK(L) vůči CLK		22 ns	
$t_{OLCH}$	zpoždění CLK(H) vůči OSC	-5 ns	12 ns	
$t_{OLCL}$	zpoždění CLK(L) vůči OSC	2 ns	20 ns	

Poznámky: 1)  $\delta$  = EFI nástup (5 ns max.) + EFI sestup (5 ns max.).

2) Předstih a přesah pouze pro zaručení rozpoznání v následujícím hodinovém impulsu.

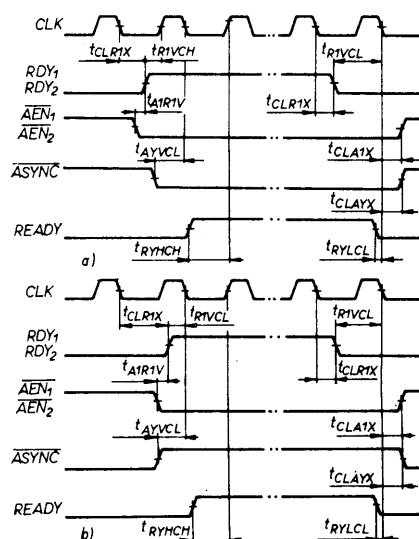
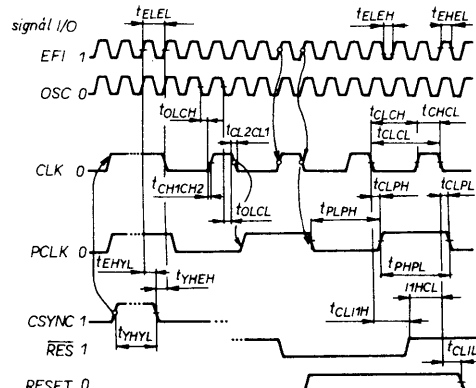
3) Vztahuje se pouze ke stavům  $t_3$  a  $t_w$ .

4) Vztahuje se pouze ke stavu  $t_2$ .



Obr. 4. Synchronizace signálů CSYNC s vnějším EFI

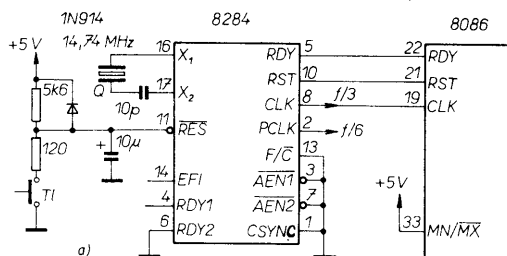
Obr. 5. Časový diagram průběhů signálů obvodu 8284A



Obr. 6. Časový diagram závislostí průběhů asynchronních (a) a synchronních zařízení (b)

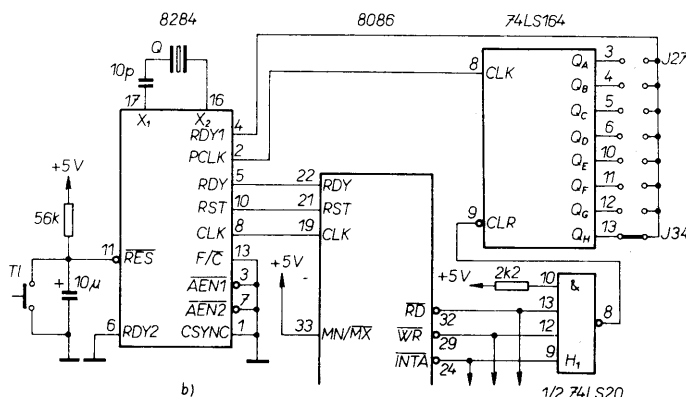
Synchronizace se vyžaduje pro všechny asynchronní aktivní hrany signálů na vstupech RDY pro zaručení časů předstihů a přesahů. Neaktivní hrany RDY v normálních systémech nevyžadují synchronizaci, ale musí být uspokojeny požadavky předstihu a přesahu, jakožto podmínky správného návrhu systému. Vstup ASYNC, jenž je součástí logiky READY, definuje dva způsoby synchronizace: má-li nulovou úroveň (L), je synchronizace dvou-  
stupňová — klopnými obvody FF<sub>1</sub> a FF<sub>2</sub>. Je-li jeho úroveň jedničková, pak se děje účastní pouze FF<sub>2</sub> — synchronizace je jednostupňová; se sestupnou hranou hodinového impulsu CLK jsou signály vstupů RDY synchronizovány. Časové diagramy na obr. 6 ukazují závislost jednotlivých průběhů uvedených signálů, a to jednak pro asynchronní obvody, jednak pro obvody synchronní. Jednostupňová synchronizace je použita v systémech sběrnic typu multi-master pro synchronní obvody, u nichž může být zaručeno, že vyhoví časování RDY [10], [52]. Údaje jednotlivých časových úseků jsou v tab. 2.

Na obr. 7a je typické zapojení obvodu 8284 ve funkci generátoru hodinového taktu o kmitočtu  $f/3$ , v daném



Obr. 7a. Typické zapojení obvodu 8284A ve funkci generátoru taktu

Obr. 7b. Zapojení pro cílené zavedení vyčkávacích stavů



případě tedy 4,913 MHz. Pokud by bylo třeba použít externí signál, byl by přiváděn na vstup 14 (EFI) po odpojení vstupu 13 (F/C) od země. Kmitočet impulsů přiváděných na vstup EFI se může měnit od jednoho Hz až do 8 MHz; to má význam při testování činnosti mikroprocesoru postupným krokováním (bez využití přerušení), kdy je tak možno pohodlně sledovat inkrementaci adresy a změny obsahu datové sběrnice.

Vstup RDY 1 (2) lze využít též pro zavádění vyčkávacích stavů pro procesor, ovšem za spolupráce dalšího obvodu TTL — posuvného registru 74LS164 (obráz. 7b). Při použití pomalých paměťových obvodů či stykových obvodů v/v je třeba vložit jeden nebo i několik vyčkávacích stavů do cyklu sběrnice procesoru, a to pro vyrovnání časových rozdílů, tzn. k synchronizaci.

Je-li tedy požadován jeden nebo několik vyčkávacích stavů pro správnou činnost CPJ, pak je nutno přemístit propojovací spojkou (jumper) z pozice J27 (žádný vyčkávací stav) na některou z dalších pozic (J34), lišících se od sebe vždy o jeden vyčkávací stav. Tak je možno zavést až sedm vyčkávacích stavů v každém cyklu sběrnice [6]. Posuvný registr 74LS164 je přes hradlo H<sub>1</sub> nulován při každém cyklu čtení, zápisu nebo přerušení, načež je uvolněn při začátku následujícího cyklu, kdy je vstup CLR neaktivní. Tehdy se registrem začne posouvat jedničkový impuls, až se objeví na vývodu Q<sub>1</sub> propojeného spojkou se vstupem RDY<sub>1</sub> obvodu 8284. Tím je vyvolán signál READY, řídicí činnost procesoru 8086.

### 8288 — řadič sběrnice

Řadič sběrnice 8288 je dvacetivývodový bipolární obvod, určený výrobem k použití v rozsáhlejších mikropočítačových systémech, kde zprostředkovává styk a spojení mezi vlastním procesorem a řídicí sběrnicí. Dekóduje stavové signály S<sub>0</sub>, S<sub>1</sub> a S<sub>2</sub> procesoru (v max. způsobu — viz dále) a generuje povelové a řídicí signály v budících úrovních se zatížitelností potřebnou pro bipolární obvody. Některé z jeho výstupních signálů, jako např. řízení čtení z paměti (MRDC), řízení čtení v/v (IORC), řízení zápisu do paměti (MWTC) či řízení zápisu do obvodů v/v (IOWC) jsou tedy určeny pro systémovou sběrnici, zatímco jiné — např. ALE či DEN — pro stykové obvody typu 8282/3, 8286/7 a jiné. Řadič obsahuje též další vstupy, což je znázorněno

schematicky na jeho struktuře spolu s tvarem jeho pouzdra a označením vývodů na obr. 8.

Napětovou úroveň vývodu IOB lze modifikovat funkcí řadiče pro užití se systémovou sběrnicí typu multi-master system bus a oddělenou sběrnicí v/v.

### Označení a funkce jednotlivých vývodů

IOB (input/output bus mode) — vstup, určující — při úrovni H — práci řadiče v modu v/v (vstupně-výstupní) sběrnice. Je-li na vstupu IOB úroveň L (IOB = 0), pak pracuje řadič 8288 v modu systémové sběrnice.

CLK (Clock) — vstup hodinového taktu, zajišťujícího synchronizované generování povelových a řídicích signálů.

S<sub>0</sub>, S<sub>1</sub>, S<sub>2</sub> (status input pins) — vstupy stavových signálů, přicházejících z procesoru 8086/8088 či 8089, jež řadič dekoduje. Na základě jejich údajů vydává řadič ve vhodný čas povelové signály, popsány v tab. 3.

Tab. 3. Generování povelů 8288 v závislosti na stavových linkách S<sub>0</sub> až S<sub>2</sub> procesoru

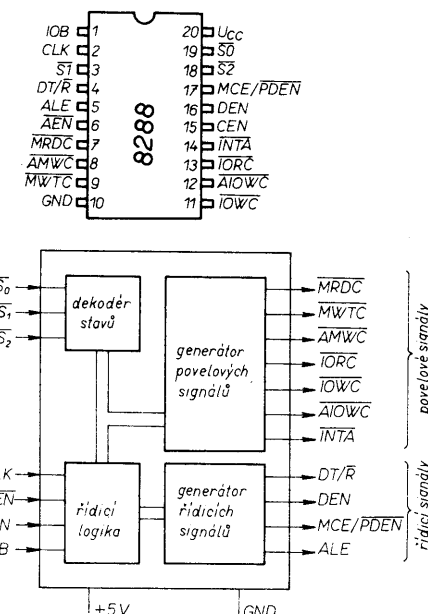
S <sub>2</sub> S <sub>1</sub> S <sub>0</sub>	Stav procesoru	Povel 8288
0 0 0	potvrzení přerušení	INTA
0 0 1	čtení brány v/v	IORC
0 1 0	zápis brány v/v	IOWC, AIOWC
0 1 1	žádný	MRDC
1 0 0	zastavení (halt)	MRDC
1 0 1	zachycení (čtení) instrukce	MWTC, AMWC
1 1 0	čtení paměti	MRDC
1 1 1	zápis do paměti	MWTC, AMWC
1 1 1	pasivní	žádný

DT/R (data transmit-receive) — výstup, jehož signálem je určen směr toku dat obousměrnými zesilovači datové sběrnice. Jedničkovou úroveň je dáno vysílání (tzn. zápis do obvodů v/v či paměti), nulovou pak příjem dat (= čtení) mikroprocesorem.

ALE (address latch enable) — výstup, jehož signálem o jedničkové úrovni je ukládána adresa do adresových střadačů (latches), přičemž zápis nastává se sestupnou hranou. ALE je určen pro použití se střadači typu D, řízených sestupnou hranou.

AEN (address enable) — vstup, aktivní v nule, uvolňující výstupy povelů řadiče nejméně 105 ns po nastavení do aktivního stavu. Přechodem do neaktivního stavu okamžitě převádí budiče povelů (výstupy) do stavu s velkou impedancí. AEN neovlivňuje povelové linky v/v, je-li 8288 v modu sběrnice v/v, tzn. při úrovni IOB = H.

MRDC (memory read command) — výstup, aktivní v nule, příkazující



Obr. 8. Pouzdro a vývody řadiče 8288

paměti vyslat data na datovou sběrnici.

AMWC (advanced memory write command) — výstup, aktivní v nule, vysílající předstihový povel k zápisu do paměti s předstihem ve strojním cyklu (proti MWTC), aby paměť obdržela informaci o povelu zápisu včas.

MWTC (memory write command) — výstup, aktivní v nule, příkazující paměti převzít data přítomná na datové sběrnicí.

IOWC (input-output write command) — výstup, aktivní v nule, příkazující zařízení v/v převzít data z datové sběrnice.

AIOWC (advanced I/O write command) — výstup, aktivní v nule, vysílající předstihový povel k zápisu do zařízení v/v s předstihem ve strojním cyklu oproti IOWC, aby zařízení v/v bylo včas informováno o povelu zápisu. Jeho časování je stejné jako u povelu čtení. AIOWC, AMWC se používají při práci s rozsáhlou datovou sběrnicí, kde předstih kompenzuje zpoždění způsobené nadměrnou zátěží spojů [12], [52].

IORC (input-output read command) — výstup, aktivní v nule, vyzývající svým signálem zařízení v/v k vyslání dat na datovou sběrnici (jedná se o povel čtení v/v).

INTA (interrupt acknowledge) — výstup, aktivní v nule, potvrzující požadavek na přerušení a sdělující přerušujícímu zařízení, že má vyslat vektor přerušení na datovou sběrnici.



Tab. 4. Stejnoseměrné parametry 8288

Vstupní záchytné napětí, $U_C(1)$ , $I_C = -5$ mA	$\leq -1$ V.
Napájecí proud $I_{CC}$	$\leq 230$ mA.
Vstupní proud v propustném směru, $I_F(1)$ , $U_F = 0,45$ V	$\leq -0,7$ mA.
Vstupní proud v závěrném směru, $I_R$ , $U_R = U_{CC}$	$\leq 50$ $\mu$ A.
Výstupní nap. dolní úrovně povelových (ovládacích) výstupů, $U_{OL}$ , $I_{OL} = 32$ mA	$\leq 0,5$ V.
Výstupní napětí dolní úrovně řídicích výstupů, $U_{OL}$ , $I_{OL} = 16$ mA	$\leq 0,5$ V.
Výstupní nap. horní úrovně povelových (ovládacích) výstupů $U_{OH}$ , $I_{OH} = -5$ mA	$\leq 2,4$ V.
Výstupní nap. horní úrovně řídicích výstupů $U_{OH}$ , $I_{OH} = -1$ mA	$\leq 2,4$ V.
Vstupní napětí dolní úrovně $U_{IL}$	$\leq 0,8$ V.
Vstupní napětí horní úrovně $U_{IH}$	$\leq 2,0$ V.
Výstupní spínací proud $I_{OFF}$ , $U_{OFF} = 0,4$ až $5,25$ V	$\leq 100$ $\mu$ A.

Dynamické parametry

<b>Požadavky na časové průběhy</b>	
Perioda cyklu hodinového signálu, $t_{CLCL}$	$\leq 125$ ns.
Šířka hodinových impulsů na dolní úrovni, $t_{CLCH}$	$\leq 66$ ns.
Šířka hodinových impulsů na horní úrovni, $t_{CHCL}$	$\leq 40$ ns.
Doba předstihu aktivní hrany vstupů $S_0$ , $S_1$ , $S_2$ před čelem hodinového impulsu, $t_{SVCH}$	$\leq 65$ ns.
Doba přesahu aktivní hrany vstupů $S_0$ , $S_1$ , $S_2$ po čelu hodinového impulsu, $t_{SHCL}$	$\leq 10$ ns.
Doba předstihu neaktivní hrany vstupů $S_0$ , $S_1$ , $S_2$ před týlem hodinového impulsu, $t_{SHCL}$	$\leq 55$ ns.
Doba přesahu neaktivní hrany vstupů $S_0$ , $S_1$ , $S_2$ po týlu hodinového impulsu, $t_{CLSH}$	$\leq 10$ ns.
<b>Časové odezvy (2)</b>	
Zpoždění aktivní hrany signálu DEN a PDEN oproti čelu hodinového impulsu, $t_{CVNV}$	$5 \text{ ns} \leq t_{CVNV} \leq 45 \text{ ns}$ .
Zpoždění neaktivní hrany signálu DEN a PDEN za týlem hodinového impulsu, $t_{CVNX}$	$10 \text{ ns} \leq t_{CVNX} \leq 45 \text{ ns}$ .
Zpoždění aktivní hrany signálu ALE a MCE oproti týlu hodinového impulsu, $t_{CLLH}$ , $t_{CLMH}$	$\leq 15$ ns.
Zpoždění aktivní hrany signálu ALE a MCE oproti aktivní hraně signálu $S_0$ , $S_1$ , $S_2$ , $t_{SVLH}$ , $t_{SVMCH}$	$\leq 15$ ns.
Zpoždění neaktivní hrany signálu ALE oproti čelu hodinového impulsu, $t_{CHLL}$	$\leq 15$ ns.
Zpoždění aktivní hrany signálů ovládacích výstupů oproti týlu hodinového impulsu, $t_{CLML}$	$10 \text{ ns} \leq t_{CLML} \leq 35 \text{ ns}$ .
Zpoždění neaktivní hrany signálů ovládacích výstupů oproti týlu hodinového impulsu, $t_{CLMH}$	$10 \text{ ns} \leq t_{CLMH} \leq 35 \text{ ns}$ .
Zpoždění aktivní hrany signálu DT/R oproti čelu hodinového impulsu, $t_{CHDTL}$	$\leq 50$ ns.
Zpoždění neaktivní hrany signálu DT/R oproti čelu hodinového impulsu, $t_{CHDTH}$	$\leq 30$ ns.
Doba vybavení ovládacích výstupů od vybavovacího vstupu AEN, $t_{AELCH}$	$\leq 40$ ns.
Doba ukončení vybavení ovládacích výstupů od vybavovacího vstupu AEN, $t_{AEHCZ}$	$\leq 40$ ns.
Doba zpoždění vybavení ovládacích výstupů oproti vybavovacímu vstupu AEN, $t_{AELCV}$	$105 \text{ ns} \leq t_{AELCV} \leq 275 \text{ ns}$ .
Doba vybavení řídicích výstupů DEN a PDEN od vybavovacího vstupu CEN, $t_{CEVNV}$	$\leq 20$ ns.
Doba vybavení ovládacích výstupů od vybavovacího vstupu CEN, $t_{CELRLH}$	$\leq t_{CLML}$ .

CEN (command enable) — vstup, aktivní v jedničce, uvolňující všechny povelové výstupy. Je-li CEN = L, pak povelové výstupy včetně DEN a PDEN jsou neaktivní.

DEN (data enable) — výstup, aktivní v jedničce, využívaný k uvolnění budičů sběrnic buď na místní či systémovou datovou sběrnici.

MCE/PDEN (master cascade enable — peripheral data enable) — výstup s dvojí funkcí:

MCE (IOB uzemněn) — uvolnění kaskádní adresy, nastává během posloupnosti přerušení a slouží ke čtení kaskádní adresy z nadřazeného řadiče priorit přerušení (PIC) na datovou sběrnici. Signál MCE je aktivní v jedničce. Výstup MCE se používá během přerušovací sekvence u složitých přerušovacích systémů, kdy je uplatněno kaskádní spojení několika

řadičů přerušení 8259A. Tehdy MCE řídí čtení tzv. kaskádní adresy z nadřazeného PIC na datovou sběrnici [78].

PDEN (IOB=H) — uvolnění dat periférie, uvolňuje budiče datové sběrnic pro sběrnici v/v během instrukcí v/v. Realizuje stejnou funkci pro sběrnici v/v jako DEN pro sběrnici systémovou. PDEN je aktivní v nule.

$U_{CC}$  — napájecí napětí +5 V.

GND (ground) — „zem“ obvodu (0 V).

**Funkční popis**

Logika povelů dekoduje tři stavové vstupní linky  $S_0$ ,  $S_1$  a  $S_2$ ; jejich třibitovou skladbou je tedy určen jeden z osmi možných povelů, jenž je následně vyslán. Přehled stavů (a jejich jednotlivé významy) je v tab. 3.

Povely řadiče sběrnic 8288 mohou být vysílány jedním z dvou možných

způsobů, a to v závislosti na nastavení funkce vstupu IOB:

**způsob sběrnic v/v** — řadič 8288 se nachází ve způsobu (módu) sběrnic v/v, jestliže jeho vstup IOB má jedničkovou úroveň. V tomto způsobu jsou všechny linky v/v (IORC, IOWC, AIOWC, INTA) trvale uvolněny, tzn. nejsou závislé na AEN. Způsob se používá zejména při součinnosti se stykovým procesorem 8089, jenž umožňuje vytvořit speciální sběrnici vstupně-výstupní.

Po zahájení vstupně-výstupní akce mikroprocesorem použije řadič 8288 signál PDEN k výběru budičů vstupně-výstupní sběrnic a signál DT/R k jejich orientaci. Způsob umožňuje řadiči 8288 řídit dvě externí sběrnice a je výhodný v případech, kdy v multiprocessorovém systému existují vstupy-výstupy nebo periferní obvody vyhrazené jen pro jeden procesor.

**Způsob systémové sběrnic** je používán, je-li v systému jen jedna externí sběrnice sdílená několika procesory pro styk s pamětí i vstupy-výstupy. Vstup IOB řadiče 8288 je na nulové úrovni a povelové signály se generují se zpožděním nejméně 105 ns po aktivaci AEN (= 0), jímž rozhodovací logika informuje 8288 o přidělení systémové sběrnic.

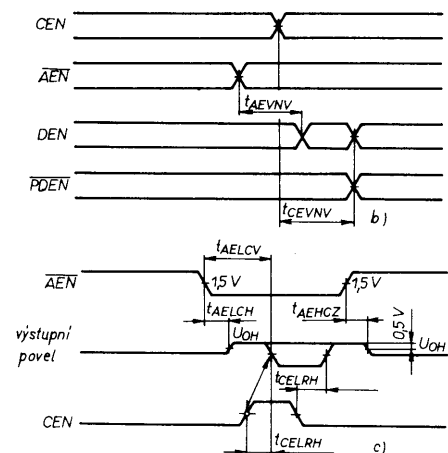
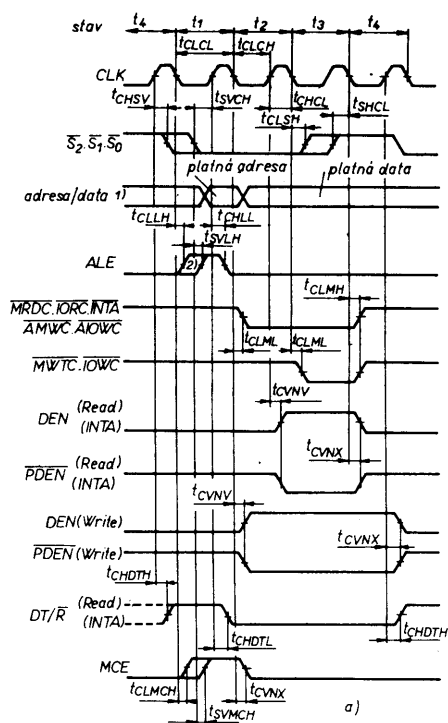
Předsunuté povely zápisu umožňují iniciovat procedury v časnější fázi strojového cyklu. Tyto signály mohou být použity pro zabezpečení procesoru před vstupem do zbytečného čekacího stavu. Povelové výstupní signály jsou: MRDC — čtení paměti, MWTC — zápis do paměti, IORC — čtení v/v, IOWC — zápis v/v, AMWC — předsunutý povel zápisu paměti, AIOWC — předsunutý povel zápisu v/v, INTA — potvrzení přerušení.

Úkolem signálu INTA je informovat přerušující zařízení, že jeho žádost o přerušení byla potvrzena a že tedy má vyslat vektor přerušení na datovou sběrnici.

Řídicími výstupy obvodu 8288 jsou uvolnění dat DEN, vysílání-přijem dat DT/R a uvolnění kaskádní adresy — uvolnění periferních dat MCE/PDEN. DEN určuje, kdy se vlastně propojí datová sběrnice na místní sběrnici a DT/R rozhoduje o směru přenosu dat. Tyto dva signály vedou obvykle k vývodům výběru CS a směru dat zesilovačů/budičů sběrnic, viz obr. 10.

Výstup MCE/PDEN mění funkci podle módu řadiče 8288, určeného úrovní na vstupu IOB. Signál MCE se používá během cyklu potvrzení přerušení, jestliže ovšem je řadič 8288 v módu systémové sběrnic (IOB = 0). Během každé posloupnosti přerušení se vyskytují dva po sobě jdoucí cykly potvrzení přerušení, přičemž při prvním nejsou přenášena data či adresy; MCE je příslušnou logikou maskován. Teprve před druhým cyklem začíná signál MCE uvolňovat/vysílat kaskádní adresu nadřazeného řadiče priorit přerušení PIC na místní sběrnici procesoru, kde je signálem ALE zapsána do adresových střadačů. Na čelní hranu druhého cyklu přerušení naadresovaný podřizovaný PIC vysílá vektor přerušení na systémovou adresu, kde je přečtena procesorem.

Jestliže obsahuje systém pouze jeden PIC, signál MCE není použit. V tomto případě druhý signál INTA



*Obr. 9. Časové diagramy jednotlivých signálů řadiče 8288*

vysílá přerušovací vektor na sběrnici.

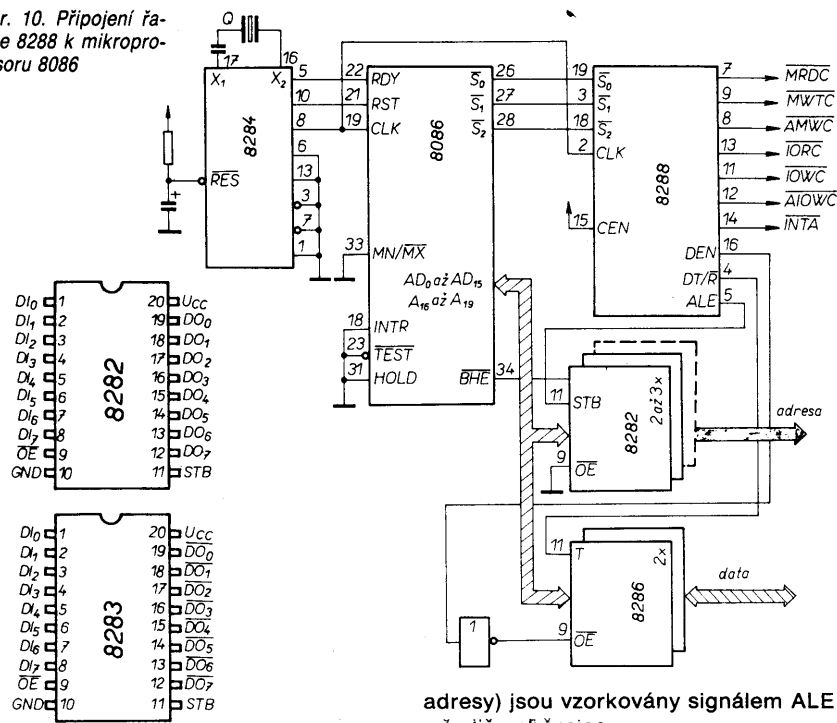
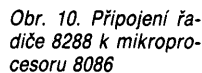
Signál ALE nastává během každého strojního cyklu a slouží k zápisu běžné adresy do adresových střadačů. ALE může posloužit i pro uložení obsahu stavových linek  $S_0$  až  $S_2$  do střadače pro dekódování stavu zastavení HALT.

Vstup uvolnění povelů CEN působí jako kvalifikátor; má-li jedničkovou úroveň, jsou povelové výstupy řadiče 8288 aktivní. Má-li však nulovou úroveň, jsou všechny tyto výstupy neaktivní. Této vlastnosti lze využít zejména v systémech se dvěma či několika řadiči 8288, z nichž může být v činnosti vždy jen jeden.

Na obr. 9 je časový diagram průběhů uvedených signálů. Na obr. 10 je schéma připojení řadiče 8288 k mikroprocesoru 8086/8088, pracujícího v maximálním způsobu.

### 8282/8283 — osmibitové střadače

Integrované obvody 8282 a 8283 jsou osmibitové bipolární střadače s třístavovými výstupy. Používají se jako střadače, oddělovače či pro vytvoření mul-



adresy) jsou vzorkovány signálem ALE z řadiče sběrnice.

### Označení a funkce jednotlivých vývodů

$U_{CC}$  — napájení +5 V.

GND (ground) — „zem“ (0 V).

DI<sub>0</sub> až DI<sub>7</sub> (data input pins) — datové vstupy.

DO<sub>0</sub> až DO<sub>7</sub> (data output — datové výstupy. Data se na výstupech objeví jen tehdy, je-li vstup OE aktivní.

DO<sub>0</sub> až DO<sub>7</sub> — invertovaná data pouze u obvodu 8283.

STB (strobe) — vzorkovací vstup, aktivní v jedničce pro příjem dat. Ta jsou uložena do střadače týlem impulsu.

**Absolutní maximální údaje:**

rozsah napájecího napětí  $U_{CC}$ : 4,5 V až 5,5 V,

rozsah vstupního napětí  $U_i$ :  $-1,0 \text{ V}$  až  $5,5 \text{ V}$ .

rozsah výstupního napětí  $U_O$ :  $-0,5 \text{ V}$  až  $7 \text{ V}$ .

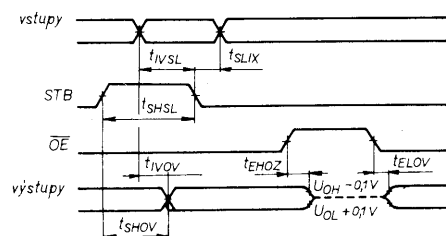
rozsah skladovacích teplôt  $t_{skl}$ :  $-65^{\circ}\text{C}$   
až  $125^{\circ}\text{C}$ ,

rozsah pracovních teplot  $t_A$ : 0 °C až 70 °C.

Překročení mezních údajů může způsobit trvalé poškození integrovaného obvodu.

**8286/8287 — osmibitové obousměrné  
zesilovače, budiče sběrnic**

Integrované obvody 8286 a 8287 jsou bipolární osmibitové obousměrné buďící zesilovače sběrnic s třístavovými výstupy. Obvod 8286 zachovává fázi přenášených datových signálů, obvod 8287 signály invertuje. Používají se především ke zvětšení zatížitelnosti systémových sběrnic, pro oddělení dat z multiplexované lokální sběrnice, ja-



Obr. 12. Časová závislost signálů STB a  $\overline{OE}$  na vstupech a výstupech



Tab. 5. Statické parametry 8282/83 ( $t_a = 0$  až  $70^\circ\text{C}$ ,  $U_{CC} = +5\text{ V} \pm 10\%$ )

Parametr		Mezní údaje		Podmínky měření
		min.	max.	
$U_C$	záchytné napětí		—1	V $I_C = -5\text{ mA}$
$I_{CC}$	napájecí proud		160	mA —
$I_F$	vstupní proud		—200	$\mu\text{A}$ $U_F = 0,45\text{ V}$
$I_R$	vstupní proud		50	$\mu\text{A}$ $U_R = 5,25\text{ V}$
	zpětný = $I_{IH}$			
$U_{OL}$	vstupní napětí L		0,45	V $I_{OL} = 32\text{ mA}$
$U_{OH}$	výstupní napětí H	2,4		V $I_{OH} = -5\text{ mA}$
$I_{OFF}$	výstupní proud při třetím stavu		$\pm 50$	$\mu\text{A}$ $U_{OFF} = 0,45\text{ V}$
$U_{IL}$	vstupní napětí L		0,8	V $U_{CC} = 5,0\text{ V}$
$U_{IH}$	vstupní napětí H	2,0		V $U_{CC} = 5,0\text{ V}$
$C_{in}$	vstupní kapacita		12	pF $f = 1\text{ MHz}$ $t_a = 25^\circ\text{C}$

Dynamické parametry ( $t_a = 0$  až  $70^\circ\text{C}$ ,  $U_{CC} = +5\text{ V} \pm 10\%$ )

Parametr		Mezní údaje		Podmínky měření
		min.	max.	
$t_{IVOV}$	doba zpoždění signálu průchodem 8283	5	22	ns
	8282	5	30	ns
$t_{SHOV}$	doba zpoždění signálu na výstupu od přechodu vstupu STB do úrovně H			
	8283	10	40	ns $U_Z = 1,5\text{ V}$ $C_L = 300\text{ pF}$ $R_L = 180\ \Omega$
	8282	10	45	ns
$t_{EHOZ}$	doba pro uzavření výstupů z aktivního stavu	5	18	ns
$t_{ELOV}$	doba pro uvolnění výstupů ze stavu velké impedance	10	30	ns
$t_{IVSL}$	doba předstihu vstupu pro nastavení	0	5	ns
$t_{SLIX}$	doba přesahu vstupu pro nastavení	25	—	ns
$t_{SHSL}$	doba vzorkovacího impulsu	15		ns
$t_{ILIH}$	doba vstupního čela		20	ns 0,8 až 2,0 V
$t_{OLOH}$	doba výstupního čela		20	ns 0,8 až 2,0 V
$t_{IHIL}$	doba vstupního týlu		12	ns 2,0 až 0,8 V
$t_{OHOL}$	doba výstupního týlu		12	ns 2,0 až 0,8 V

Pozn.: Průběhy jednotlivých signálů i hlavní dynamické parametry jsou v grafu časování na obr. 12.

kož i pro zesílení některých řídicích signálů.

Obvody mají dvacetivývodové pouzdro DIL; vnitřní struktura obvodů a označení vývodů je na obr. 13. Z této struktury vyplývá, že směr přenosu dat je řízen vstupem T. Má-li ovšem k přenosu dat vůbec dojít, musí být obvod uvolněn signálem L na vstupu OE.

Je-li na vstupu T úroveň H, je směr přenosu ze vstupů A na výstupy B. Je-li na vstupu T úroveň L, pak vývody B<sub>7</sub> se stanou vstupy a data se přenáší ze vstupů B na výstupy A. Nastavením uvolňovacího vstupu OE na úroveň H přejdou do stavu velké impedance ty výstupy, jejichž poloha je určena úrovní vstupu T.

Na obr. 10 je zapojení dvojice zesilovačů 8286, oddělujících datovou sběrnici od multiplexované lokální sběrnice mikroprocesoru 8086. Směr přenosu je řízen signálem DT/R z řadiče 8288, přiváděným na vstup T, uvolňování zesilovačů pak signálem DEN z řadiče.

#### Označení a funkce jednotlivých vývodů

$U_{CC}$  — napájení +5 V.

GND (ground) — „zem“ pouzdra (0 V).

A0 až A7 (local bus data pins) — vstupy—výstupy datové sběrnice pro přenos dat z/do procesoru podle úrovně vstupu T.

B0 až B7 (system bus data pins) — vývody pro systémovou datovou sběrnici, sloužící jako vstupy—výstupy pro přenos dat ze/do systémové sběrnice podle úrovně vstupu T.

OE (output enable) — vstup, aktivní v nule, uvolňující výstupy na sběrnici, zvolené signálem na vstupu T.

T (transmit) — vstup, řídicí směr přenosu.

#### Absolutní maximální údaje:

rozsah vstupního napětí  $U_i$ : —1,0 až 5,5 V,

rozsah výstupního napětí  $U_o$ : —0,5 až 7,0 V,

rozsah skladovací teploty  $t_{ski}$ : —65 až +125  $^\circ\text{C}$ ,

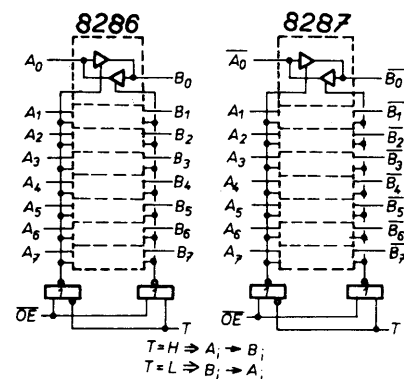
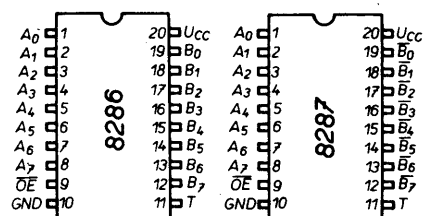
rozsah pracovní teploty  $t_a$ : 0  $^\circ\text{C}$  až 70  $^\circ\text{C}$ .

rozsah napájecího napětí  $U_{CC}$ : +4,5 V až +5,5 V,

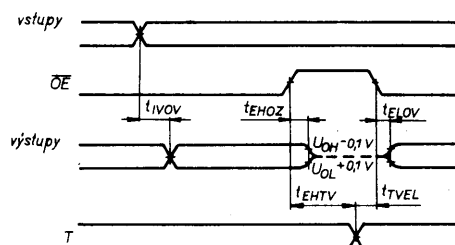
Překročení mezních údajů může vést k trvalému poškození integrovaného obvodu.

#### 8086 — šestnáctibitový mikroprocesor

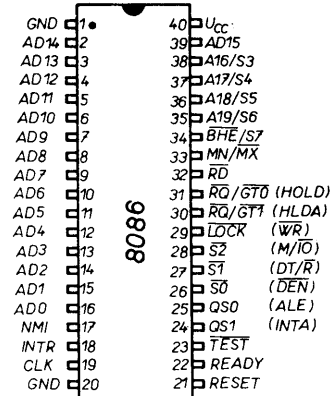
Integrovaný obvod VLSI typu 8086 představuje velmi výkonný šestnáctibitový mikroprocesor, jenž je zhotoven technologií HMOS (high density short channel MOS) na křemíkovém čipu o rozměrech  $6,5 \times 5,5\text{ mm}$ , obsahujících na 29 000 tranzistorů. Mikroprocesor je



Obr. 13. Pouzdra obvodů 8286, 8287 a jejich vnitřní struktura



Obr. 14. Časový diagram závislosti vstupních a výstupních signálů



Obr. 15. Pouzdro mikroprocesoru 8086 a označení jeho vývodů

ve čtyřicetivývodovém pouzdra DIL z keramiky nebo plastické hmoty; tvar pouzdra a označení funkcí vývodů je na obr. 15.

Mikroprocesor se vyznačuje možností přímého adresování paměti do 1 megaslabiky, jeho jazyk symbolických adres (assembler) je slučitelný s jazykem předcházejících osmibitových mikroprocesorů 8080/8085 (nikoli však šestnáctibitový kód). Obsahuje soubor čtrnácti registrů po šestnácti bitech, má 24 způsobů adresování, je možná 8bitová a 16bitová dvojková či desítková aritmetika se znaménky či bezznaménková, včetně násobení a dělení. Hodi-

nový kmitočet je 5 MHz, ale též i 8 MHz (8086-2) nebo u novějších provedení 8086-1 dokonce 10 MHz. Operace mohou být bitové, po slabikách, slovech či blocích. Procesor má vlastnosti jak osmibitových, tak i šestnáctibitových mikroprocesorů. Adresuje paměť jako posloupnost osmibitových slabik, ale pro větší účinnost má šestnáct bitů širokou fyzickou sběrnici k paměti.

#### Označení a funkce jednotlivých vývodů

AD<sub>0</sub> až AD<sub>15</sub> — třístavové vstupy/výstupy. Tvoří časově multiplexovou datovou sběrnici s částí adresové sběrnice. Adresa se na linkách nachází v čase  $t_1$ , data pak v časech  $t_2$ ,  $t_3$ ,  $t_w$  a  $t_4$ . Linka A<sub>0</sub>, pracující analogicky k BHE, se využívá pro dolní slabiku datové sběrnice D0 až D7 při operacích s pamětí nebo obvody v/v. Má totiž nulovou úroveň v čase  $t_1$ ; proto se s ní realizuje výběr (CS) osmibitových zařízení. Linky jsou aktivní v jedničce a přejdou do třetího stavu během potvrzení přerušení a potvrzení stavu hold lokální sběrnice (viz dále).

A 16/S3, A 17/S4, A 18/S5, A 19/S6 — třístavové výstupy. Během času  $t_1$  jsou tyto linky/výstupy adresovými linkami nejvyššího řádu pro operace s pamětí. Avšak během operací v/v mají linky nulovou úroveň. Naproti tomu v časech  $t_2$ ,  $t_3$ ,  $t_w$  a  $t_4$  jsou linky nositeli stavové informace. Stav příznakového bitu S5 — indikátoru povolení přerušení — je aktualizován na začátku každého hodinového cyklu CLK. Stavové signály S3 a S4 jsou určeny pro zakódování segmentového registru, použitého k vytvoření fyzické adresy, a to následujícím způsobem:

#### S4 | S3 | segmentový registr

0	0	alternativní datový registr — ES
0	1	zásobník (stack) — SS
1	0	kódový či žádný — CS
1	1	datový — DS

S6 je trvale na nulové úrovni.

Kód S3, S4 udává, který segmentový registr je právě použit pro datový přístup.

Linky A16 až A19 jsou aktivní v jedničce a přejdou do třetího stavu během potvrzení stavu hold místní sběrnice.

BHE/S7 (bush high enable) — třístavový výstup. V čase  $t_1$  odblokovává data v horní polovině datové sběrnice D8 až D15; proto zařízení, připojené k této horní polovině sběrnice — např. skupina paměťových čipů — používá signálu BHE k realizaci výběru CS. BHE má nulovou úroveň v čase  $t_1$  pro cykly čtení, psaní a potvrzení přerušení, kdy je přenášena slabika na horní část sběrnice. Stavová informace S7 je dostupná v čase  $t_2$ ,  $t_3$ ,  $t_w$  a  $t_4$ .

Výstup přechází do třetího stavu při potvrzení stavu hold.

RD (read) — třístavový výstup, aktivní v nule, indikující, že procesor realizuje cyklus čtení obvodů v/v nebo paměti v závislosti na stavu vývodu S2. Signál je používán ke čtení ze zařízení připojených k místní sběrnici procesoru. RD je aktivní během  $t_2$ ,  $t_3$  a  $t_w$  libovolného cyklu čtení a je zaručeno, že zůstane neaktivní v  $t_2$ , má-li místní sběrnice velkou

Tab. 6. Statické parametry 8286/87 ( $t_a = 0$  až  $70^\circ\text{C}$ ,  $U_{CC} = +5\text{ V} \pm 10\%$ )

	Parametr	Mezní údaje		Podmínky měření
		min.	max.	
$U_C$	záchytné napětí	—1	V	$I_C = -5\text{ mA}$ .
$I_{CC}$	napájecí proud			
	8287	130	mA	
	8286	160	mA	
$I_F$	vstupní proud	—200	mA	$U_F = 0,45\text{ V}$ .
	přední = $I_{IL}$			
$I_R$	vstupní proud	50	$\mu\text{A}$	$U_R = 5,25\text{ V}$ .
	zpětný = $I_{IH}$			
$U_{OL}$	výstupní napětí L			
	výstupy B	0,45	V	$I_{OL} = 32\text{ mA}$ .
	výstupy A	0,45	V	$I_{OL} = 16\text{ mA}$ .
$U_{OH}$	výstupní napětí H			
	výstupy B	2,4	V	$I_{OH} = -5\text{ mA}$ .
	výstupy A	2,4	V	$I_{OH} = -1\text{ mA}$ .
$U_{IL}$	vstupní napětí L			
	vstupy A	0,8	V	$U_{CC} = 5,0\text{ V}$ .
	vstupy B	0,9	V	$U_{CC} = 5,0\text{ V}$ .
$I_{OFF}$	výstupní proud			
	při třetím stavu	—200	$\mu\text{A}$	při $U_{OFF} = 0,45\text{ V}$ .
		50	$\mu\text{A}$	při $U_{OFF} = 5,25\text{ V}$ .
$U_{IH}$	vstupní napětí H	2,0	V	$U_{CC} = 5,0\text{ V}$ .
$C_{in}$	vstupní kapacita	12	pF	$f = 1\text{ MHz}$ , $t_a = 25^\circ\text{C}$ , $U_{CC} = 5,0\text{ V}$ .

Dynamické parametry ( $t_a = 0$  až  $70^\circ\text{C}$ ,  $U_{CC} = 5\text{ V} \pm 10\%$ )

	Parametr	Mezní údaje		Podmínky měření
		min.	max.	
$t_{IVOV}$	doba zpoždění signálu průchodem			
	8286	5	30	ns
	8287	5	22	ns
$t_{EHOZ}$	doba pro uzavření výstupů z aktivního stavu	5	18	ns
$t_{ELOV}$	doba pro uvolnění výstupů ze stavu velké impedance	10	30	ns
$t_{EHTV}$	přesah změny úrovně na vstupu T za náběžnou hranou signálu na vstupu OE	5		ns
$t_{TVEL}$	předstih změny úrovně na vstupu T před sestupnou hranou signálu na vstupu OE	10		ns
$t_{ILIH}$	doba vstupního čela		20	ns
$t_{OLOH}$	doba výstupního čela		20	ns
$t_{IHIL}$	doba vstupního týlu		12	ns
$t_{OHOL}$	doba výstupního týlu		12	ns

Pozn.: Průběhy jednotlivých signálů a hlavní dynamické parametry jsou v časovém diagramu na obr. 14.

impedanci. RD přejde do třetího stavu při „hold acknowledge“.

READY (ready) — vstup, aktivní v jedničce. Signál RDY z paměti nebo obvodů v/v po synchronizaci generátorem taktu 8284A tvoří signál READY, jím potvrzuje adresované zařízení v/v či paměť, že dokončí přenos dat.

INTR (interrupt request) — vstup, aktivní v jedničce, jenž je vzorkován během posledního cyklu CLK každé instrukce k zjištění, nemá-li procesor realizovat přerušení. Obslužná rutina přerušení je adresována tabulkou vektorů přerušení, umístěnou v operační paměti.

Vstup může být vnitřně maskován programem, a to vynulováním bitu pro povolení přerušení. INTR je vnitřně synchronizován.

TEST — vstup, aktivní v nule, jenž je přezkušován instrukcí WAIT. Je-li

TEST v aktivní úrovni, program pokračuje, jinak procesor čeká ve stavu nečinnosti. Vstup je vnitřně synchronizován během každého hodinového cyklu CLK (na jeho čelo).

NMI (non maskable interrupt) — vstup nemaskovatelného přerušení, spouštěného čelem impulsu. Vyvolané přerušení je 2. typu. Přerušovací rutina je adresována tabulkou vektorů přerušení, umístěnou v operační paměti; přerušení je zavedeno na konci běžné instrukce. Vstup je vnitřně synchronizován.

RESET (reset) — vstup, aktivní v jedničce, jenž způsobí, že procesor ukončí bezprostředně svoji činnost. Aby došlo k této iniciaci, musí být vstup RESET aktivní alespoň čtyři hodinové takty CLK. RESET po návratu do nuly startuje program od adresy FFFF0H (nikoli tedy od nuly, jak je obvyklé u jeho osmibitových

Tab. 7. Stejnosemné parametry (8086, 8088)

	Parametr	Min.	Max.		Podmínky zkoušky
$U_{IL}$	vstupní napětí dolní úrovně	-0,5	+0,8	V	
$U_{IH}$	vstupní napětí horní úrovně	2,0	$U_{CC} + 0,5$	V	
$U_{OL}$	výstupní napětí dolní úrovně		0,45	V	$I_{OL} = 2,0 \text{ mA}$
$U_{OH}$	výstupní napětí horní úrovně	2,4		V	$I_{OH} = -400 \text{ } \mu\text{A}$
$I_{CC}$	odběr z napájecího zdroje		340	mA	$t_A = 25^\circ\text{C}$
	8086/8086-4,		350	mA	
$I_{II}$	vstupní svodový proud		$\pm 10$	$\mu\text{A}$	$0 \text{ V} < U_{IN} < U_{CC}$
$I_{IO}$	výstupní svodový proud		$\pm 10$	$\mu\text{A}$	$0,45 \text{ V} \leq U_{OUT} \leq U_{CC}$
$U_{CL}$	vst. napětí hodin dolní úrovně	-0,5	+0,6	V	
$U_{CH}$	vst. napětí hodin horní úrovně	3,9	$U_{CC} + 1,0$	V	
$C_{IN}$	kapacita vstupního obvodu (všechny vstupy s výjimkou AD0—AD15, $\overline{RQ}/\overline{GT}$ )		10	pF	$f_C = 1 \text{ MHz}$
$C_{IO}$	kapacita výstupního obvodu (AD0—AD15, $\overline{RQ}/\overline{GT}$ )		20	pF	$f_C = 1 \text{ MHz}$

## Dynamické parametry (8086, 8088)

Minimální způsob, požadavky na časování vstupů

		8086/8086-4		8086-2			
	Parametr	Min.	Max.	Min.	Max.		Podm. zk.
$f_{CLCL}$	CLK perioda -8086, 8088	200	500	125	500		
	-8086-4	250	500				
$t_{CLCH}$	CLK šířka (úroveň 1)	$(2/3 t_{CLCL}) - 15$		$(2/3 t_{CLCL}) - 15$		ns	
$t_{CLCH}$	CLK šířka (úroveň H)	$(1/3 t_{CLCL}) + 2$		$(1/3 t_{CLCL}) + 2$		ns	
$t_{CH1CH2}$	CLK doba náběhu		10		10	ns	1 až 3,5 V
$t_{CL2CL1}$	CLK doba doběhu		10		10	ns	3,5 až 1 V
$t_{DVCL}$	předstih vst. dat	30		20		ns	
$t_{CLDX}$	přesah vst. dat	10		10		ns	
$t_{R1VCL}$	předstih RDY (8284), pozn. 1, 2	35		35		ns	
$t_{CLR1X}$	přesah RDY (8284) pozn. 1, 2	0		0		ns	
$t_{RVHCH}$	předstih READY 8086	$(2/3 t_{CLCL}) - 15$		$(2/3 t_{CLCL}) - 15$		ns	
$t_{CHRYX}$	přesah READY (8086)	30		20		ns	
$t_{RVCL}$	neaktiv. READY vůči CLK, pozn. 3	-8		-8		ns	
$t_{HVCH}$	HOLD předstih	35		20		ns	
$t_{INVCH}$	INTR, NMI, TEST předstih, pozn. 2	30		15		ns	

předchůdců, procesorů 8080, 8085 či Z80).

Vstup RESET je vnitřně synchronizován.

CLK (clock) — vstup hodinového taktu, zajišťujícího základní časování procesoru a řadiče sběrnice. Na vstup CLK přiváděný takt má pro optimální časování nesymetrický průběh se střídou 1:3.

MN/ $\overline{MX}$  (minimum—maximum) — vstup, jehož úroveň je určeno, jakým ze dvou možných způsobů (módů) bude procesor pracovat. Má-li vstup jedničkovou úroveň, je volena minimální verze; naopak, je-li vstup uzemněn — tj. na nulové úrovni — je volena maximální verze, vyžadující připojit řadič sběrnice 8288 k řídícím výstupům S0, S1 a S2 procesoru.

 $U_{CC}$  — napájení +5 V.

GND (ground) — „zem“ (0 V).

Následující funkční popis vývodů se týká systému 8086 + 8288, pracujícího v maximálním způsobu, tzn. při

MN/ $\overline{MX}$  = 0. Dále jsou popisovány pouze ty funkce vývodů, jež náležejí k maximálnímu způsobu. Funkce ostatních vývodů — níže neuvedených — jsou stejné, jak pro maximální, tak i pro minimální způsob.

S0, S1, S2 (status lines) — výstupy, jež indikují vždy jednu z možných osmi stavů. Jsou aktivní během časů  $t_4$ ,  $t_1$  a  $t_2$  a vrátí se do pasivního stavu (1 1 1) během  $t_3$  nebo  $t_w$ , má-li READY jedničkovou úroveň. Stavové informace používá sběrnice 8288 ke generování všech řídících signálů. Jakákoliv změna S2, S1 či S0 během  $t_4$  indikuje začátek cyklu sběrnice, návrat do pasivního stavu v  $t_3$  či  $t_w$  indikuje konec cyklu sběrnice. Při stavu potvrzení hold přecházejí výstupy do stavu velké impedance. Stavové informace jsou tyto:

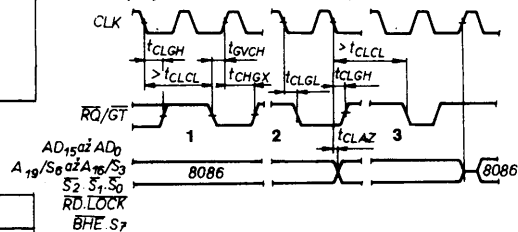
S2 S1 S0 stav

0	0	0	potvrzení přerušení
0	0	1	čtení ze vstupu
0	1	0	zápis na výstupy

0	1	1	zastavení (halt)
1	0	0	čtení instrukce
1	0	1	čtení z paměti
1	1	0	zápis do paměti
1	1	1	pasivní stav

 $\overline{RQ}/\overline{GT0}$ ,  $\overline{RQ}/\overline{GT1}$  (request-grant pins)

— obousměrné vývody, aktivní v nule, pracující jako vstupy nebo výstupy. Jsou využívány v multiprocesorových systémech ostatními procesory k tomu, aby právě komunikující procesor uvolnil sběrnici na konci svého sběrnicevého cyklu, a to po přijetí žádosti (request). Vývod  $\overline{RQ}/\overline{GT0}$  má větší prioritu než  $\overline{RQ}/\overline{GT1}$ .  $\overline{RQ}/\overline{GT0}$  je vnitřně přes rezistor připojen na napájení, takže může být v zapojení



Obr. 16. Vyjádření sekvence tří impulsů při každém předání řízení sběrnice

ponechán volný. Posloupnost „žádost o sběrnici a její poskytnutí“ je tato:

- impulsem šířky jednoho taktu CLK je procesor 8086 žádán jiným procesorem o sběrnici (impuls 1) — hold —,
- během příštího taktu  $t_4$  nebo  $t_1$  impulsem šířky jednoho taktu CLK oznámí procesor 8086 poskytnutí sběrnice (impuls 2). Uvolní tedy sběrnici do stavu velké impedance a s příštím taktém vstoupí do stavu „hold acknowledge“ — potvrzení stavu „hold“.
- koprocessor, jenž měl sběrnici poskytnutu k svému použití, oznámí impulsem šířky jednoho taktu CLK, že žádost o sběrnici „hold“ je u konce, a že 8086 může s příštím taktém sběrnici znovu převzít (impuls 3).

Při každém předání řízení sběrnice mezi procesory nastává sekvence tří impulsů, což je vyznačeno v časovém diagramu na obr. 16. Po každém předání řízení lokální sběrnice následuje jeden hodinový takt — teprve s jeho ukončením má procesor 8086 znovu k dispozici lokální sběrnici.

Je-li však žádost o přidělení sběrnice vyslána v okamžicích, kdy procesor realizuje cyklus paměti, uvolní sběrnici během cyklu  $t_4$ , pokud jsou splněny následující podmínky:

- žádost je vyslána před nebo v čase  $t_2$ ,
- prováděný cyklus se netýká dolní slabiky slova (na liché adrese),
- prováděný cyklus není prvním potvrzením sekvence potvrzující přerušení,
- není prováděna instrukce „uzamknutí“ sběrnice, LOCK.

LOCK (lock) — výstup, aktivní v nule, indikující, že ostatní procesory nemohou získat řízení systémové sběrnice. Signál LOCK je aktivován instrukční předponou „LOCK“ a zůstává aktivní až do kompletní následující instrukce. Výstup LOCK přechází do třetího stavu při potvrzení stavu „hold“.

QS0, QS1 — výstupy, jejichž bitovým obsahem může být uživatel informován o stavu vnitřní instrukční fronty procesoru:

QS1	QS0	stav
0	0	žádná činnost
0	1	první slabika operačního kódu z fronty
1	0	vyprázdněná fronta
1	1	následující slabika z fronty

Dále uvedené funkční popisy vývodů platí pro mikroprocesor 8086 v minimálním módu, tzn. při vývodu MN/MX připojeném k napájecímu napětí. Jsou to tedy ty vývody, jež jsou na obr. 15 uvedeny v závorkách.

**INTA** (interrupt acknowledge) — výstup, aktivní v nule, používaný pro vzorkování v cyklu potvrzení přerušení. Je aktivní v čase  $t_2$ ,  $t_3$  a  $t_W$  každého cyklu potvrzení přerušení. Výstup INTA přechází do třetího stavu „hold“ místní sběrnice.

**ALE** (address latch enable) — výstup, aktivní v jedničce, z něhož je odebraný signál generován procesorem pro převzetí adresy do adresových střadačů. Výstup ALE je aktivní pouze během času  $t_1$ , kteréhokoli cyklu sběrnice; nikdy nenabývá třetího stavu.

**DEN** (data enable) — výstup, aktivní v nule, jehož signálem jsou uvolňovány obousměrné zesilovače sběrnice 8286/8287 v minimálním způsobu činnosti procesoru. Pro cyklus čtení paměti či obvodů v/v nebo při INTA je výstup aktivní od středu  $t_2$  do středu  $t_4$ , pro cyklus zápisu však od počátku  $t_2$  do středu  $t_4$ . DEN přechází do třetího stavu při potvrzení stavu „hold“ místní sběrnice.

**DT/R** (data transmit/receive) — výstup používaný v minimálních systémech k přepínání směru toku dat obousměrných zesilovačů sběrnice 8286/8287 nebo 74LS245. Jedničkové úrovni odpovídá vysílání, nulové pak příjem. Třetí stav taktéž při potvrzení „hold“.

**M/I $\bar{O}$**  (memory-input/output access) — výstup, jímž je rozlišován přístup k paměti či obvodům v/v. M/I $\bar{O}$  nabývá platnosti v čase  $t_4$ , předcházejícím cyklus sběrnice a zůstává platný až do konečného cyklu  $t_4$ . Přechází do třetího stavu při potvrzení „hold“.

**WR** (write) — výstup, aktivní v nule, indikující cyklus zápisu do paměti či do obvodů v/v procesorem, a to v závislosti na stavu signálu M/I $\bar{O}$ . Přechází do třetího stavu při potvrzení „hold“.

**HOLD** — vstup, aktivní v jedničce.

**HLDA** (hold acknowledge) — výstup, aktivní v jedničce.

Signály HOLD a HLDA (na stejnojmenných vývodech) jsou součástí řízeného systému přidělování sběrnice u mikroprocesoru 8086/8088. Když si tedy jiný procesor nebo obvod jako je řadič DMA (přímého přístupu do paměti) přeje získat řízení lokální sběrnice, vyšle jedničkový signál na vstup HOLD procesoru 8086, jenž představuje žádost o přidělení sběrnice. Je-li procesor k přidělení již připraven, uvede své multiplexované adresové/datové linky a většinu řídicích do stavu velké

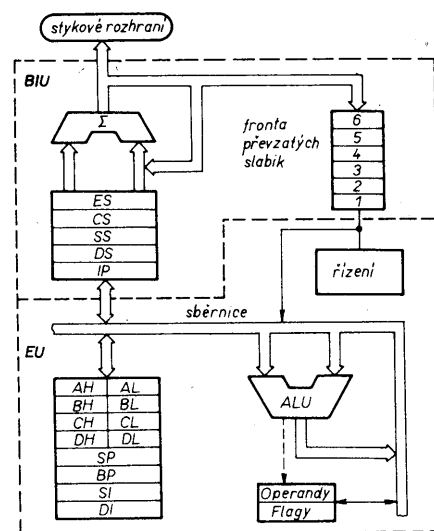
impedance. Souběžně s tím vyšle procesor 8086 na výstup HLDA jedničkový signál, jenž indikuje, že sběrnice je volná k použití. Koprocessor — či jiné zařízení, jež vysílalo žádost — může nyní sběrnici použít.

Jakmile se detekuje, že HOLD již není aktivní, převede procesor výstup HLDA též do nulové úrovně a převezme multiplexovanou lokální sběrnici včetně řídicích linek opět do „své správy“.

Stvrzovací signál HLDA vysílá procesor uprostřed času  $t_4$  nebo  $t_2$ . HOLD není asynchronním vstupem.

### Funkční popis

Vnitřní struktura procesoru 8086 je rozdělena do dvou výkonných jednotek. První tvoří jednotka styku se sběrnicí BIU (bus interface unit) a druhá je prováděcí jednotka EU (execution unit), obr. 17.



Obr. 17. Vnitřní struktura mikroprocesoru 8086

Obě jednotky mohou přímo spolupracovat, ale převážně operují jako samostatné a synchronní procesory. Jednotka styku se sběrnicí vykonává funkce vztahované k čtení instrukcí a jejich zařazení do fronty, vyvedení a uložení operandu a přemísťování adres; rovněž provádí základní řízení sběrnice. Překrývání pracovních fází po předběžném čtení instrukce slouží ke zvětšení výkonnosti procesoru dokonalejším využitím sběrnice. Do fronty instrukcí lze totiž vložit až šest slabik (u  $\mu P$  8088 jen čtyři), zatímco se čeká na dekódování a provedení.

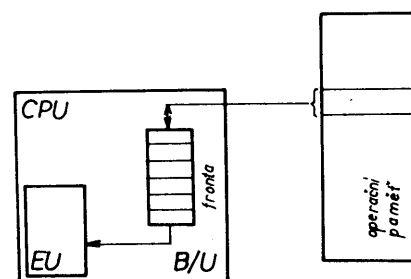
Operační jednotka EU přijímá předběžně vyvolané instrukce z fronty v BIU a poskytuje nerelokované adresy operandu BIU. Operandy z paměti jsou předávány prostřednictvím BIU ke zpracování v EU, jež předává výsledky zpět k BIU pro uložení.

Oproti běžnému osmibitovému mikroprocesoru (který taktéž generuje adresy, přijímá, zpracovává a vydává data, a to na základě převzatých a dekódovaných instrukcí) neprovádí se operace zde pouze v sériovém sledu. U šestnáctibitového mikroprocesoru 8086 přebírá jednotka BIU generování adres, přepočít relativních adres v absolutní a čtení instrukcí paralelně k jednotce EU. A to již je jednoduchá forma tzv. zřetězení (pipelining [78]), což znamená, že prostorově vhodně uspořádaná technická struktura zpracovává paralelně původně časově za sebou ležící činnosti. Zmíněnou relativní ne-

závislostí obou jednotek je umožněno překrytí fáze zápisu, čtení i výběru instrukce s fází vykonání předchozí instrukce. Výsledkem toho stavu je, že ve většině případů fáze výběru zdánlivě mizí, protože EU vykonává instrukci, jež byla z paměti přečtena již v době vykonání předchozí instrukce.

EU obsahuje šestnáctibitovou aritmeticko-logickou jednotku ALU, podle výsledků operací nastavuje příznakové bity a ovládá ji příslušející registry — viz obr. 17. EU nemá přímý přístup k lokální sběrnicí a instrukce i data získává z BIU. EU vykonává operace vyplývající z instrukcí. Pokud instrukce vyžaduje přístup k paměti nebo obvodům v/v, žádá stykovou jednotku BIU o čtení nebo zápis. Všechny adresy, s nimiž EU pracuje, jsou šestnáctibitové. Pro styk s pamětí však BIU upravuje adresy na dvacetibitové, čímž je předemtný styk zabezpečen.

Jednotka styku se sběrnicí BIU obstarává pro EU veškerý styk s vnějším, dále pak v době, kdy EU je zaneprázdněna vykonáváním instrukce, vybírá BIU z paměti další instrukce. Ty umísťuje do registrů instrukcí, což je schematicky naznačeno na obr. 18.



Obr. 18. Výběr dat z operační paměti a jejich dočasné uložení ve frontě

Procesor 8086 čte běžně z paměti slova o šestnácti bitech. Jakmile však je programem vyžadováno přečtení jen z liché adresy, přečte BIU automaticky jen jednu slabiku a pak pokračuje vybíráním dvouslabičných slov ze sudých adres. Význam registrů fronty instrukcí spočívá ve zvýšení průchodnosti, neboť EU nemusí čekat na výběr příští instrukce. To ovšem neplatí v okamžiku, kdy aktuální instrukce vyžaduje další instrukci mimo běžné pořadí, což je právě při instrukcích skoků, volání a návratů (naštěstí tyto případy nepřevládají — jsou pochopitelně odvislé od skladby programu). Při takovémto porušení posloupnosti fronty instrukcí je její obsah bezpředmětný, a proto BIU frontu nuluje. Při výběru další instrukce z paměti do registrů fronty (typu FIFO = first in first out) je zahájeno nové plnění.

### Registry mikroprocesoru

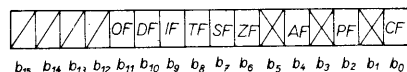
Mikroprocesor 8086 — rovněž tak 8088 — obsahuje čtrnáct šestnáctibitových registrů, z nichž osm tvoří univerzální registry operační jednotky EU. Mimoto náleží ještě do EU registry příznakových bitů (= flags). Zbývající registry se nacházejí v jednotce styku se sběrnicí BIU a slouží k vytváření adresy.

Univerzální registry lze rozdělit na dvě skupiny, a sice na skupinu čtyř datových registrů AX, BX, CX a DX, a na skupinu čtyř taktéž šestnáctibitových ukazatelů a indexových registrů SP, EP, SI a DI. Registrů první skupiny lze využívat v jejich šestnáctibitovém tvaru,

nebo — po rozdělení — jako nezávislých osmibitových registrů slabiky. Jejich polohu pak určuje místo písmene X (extended registr — šestnáctibitový) písmeno H — jedná-li se o registr horní poloviny, nebo L — jedná-li se o registr dolní poloviny, obr. 17. Skládá se tedy AX z AH + AL, BX z BH + BL, CX z CH + CL a konečně DX z DH + DL. V literatuře proto bývají registry této skupiny někdy označovány jako registry HL [78] a registry druhé skupiny jako registry PL, tedy znaky je charakterizujícími z detailního označení.

Ani první písmena značení registrů nejsou volena náhodně, ale označují převažující funkci: A (accumulator) — sčítádač, B (base) — báze, C (count) — čítač, D — data. Totéž se vztahuje i na ostatní registry, jež však jsou již jen šestnáctibitové: SP (stack pointer) — ukazatel zásobníku, BP (base pointer) — ukazatel báze, SI (source index) — zdrojový index a DI (destination index) — cílový index (index určení).

Devátým registrem jednotky EU je již zmíněný registr příznakových bitů, jichž je v šestnáctibitovém registru právě devět, obr. 19. Šest z nich jsou stavové indikátory: AF, CF, OF, PF, SF a ZF,



Obr. 19. Příznakové bity stavového registru

zbývající tři pak představují řídicí indikátory: DF, IF a TF. Funkce těchto indikátorů/příznakových bitů je následující:

**AF (auxiliary carry flag)** — bit se nastaví na logickou úroveň jedničky, jestliže nastal přenos z nižší tetrády slabiky do vyšší, nebo jestliže nastala výpůjčka z vyšší tetrády AL. Je používán instrukcemi pro dekadickou aritmetiku.

**CF (carry flag)** — bit je nastaven na 1, jestliže nastal přenos, nebo jestliže nastala výpůjčka do nejvýznamnějšího bitu osmi nebo šestnáctibitového výsledku.

**OF (overflow flag)** — bit se nastaví na 1 při aritmetickém přeplnění, kdy délka výsledku operace přesahuje délku cílového registru. Může vyvolat interní přerušení programu.

**PF (parity flag)** — bit se nastaví na 1 při sudé paritě výsledku, tzn. při sudém počtu jedniček ve výsledku.

**SF (sign flag)** — bit se nastaví na 1 při záporném výsledku operace, tj. při bitu nejvyššího řádu (MSB — most significant bit) rovným jedničce.

**ZF (zero flag)** — bit se nastaví na 1 při nulovém výsledku aritmetické nebo logické operace.

**DF (direction flag)** — při nastavení bitu na 1 programem je podmíněna autodekrementace registrů SI a DI při zpracování řetězců, tzn. při jejich zpracování od vyšších adres k nižším. Je-li naopak DF nulován, realizuje se autoinkrementace uvedených registrů, tzn. zpracování řetězců od nižších adres k vyšším.

**IF (interrupt-enable flag)** — příznakový bit uvolněního přerušení. Je-li nastaven na 1, tak povoluje příjem externího požadavku na přerušení (maskovatelného). IF nemá vliv na externí nemaskovatelné či interně generované požadavky na přerušení.

**TF (trap flag)** — při nastavení bitu na 1 přejde procesor do krokového režimu pro ověřovací účely, kdy procesor samostatně provádí interní přerušení po každé instrukci.

Jednotka styku se sběrnici BIU obsahuje pět šestnáctibitových registrů, z nichž čtyři jsou segmentové registry CS, DS, SS a ES, pátý je ukazatel/čítač instrukcí IP. Segmentovým registrům byla přidělena symbolická jména naznačující jejich použití:

**CS (code segment)** — kódový registr = registr adresy segmentu programu, určující současný segment paměti, kde je umístěn program. Všechny instrukce programu nahráného do paměti jsou uloženy na místech adresovaných součtem o řád posunutého registru CS a programového čítače IP, jehož obsah tvoří offset adresu adresované buňky, **DS (data segment)** — datový registr = registr adresy segmentu dat, jehož obsahem je určen současný segment dat. Všechna data, vyjma dat adresovaných registry BP, SP nebo DI při operacích s bloky dat, jsou adresována adresou závislé na tomto registru. Adresa dat může záviset i na obsahu ostatních segmentových registrů. Tato závislost je však určena jednoslabičným návěští před danou instrukcí. Adresou offsetu zde mohou být registry BP nebo BX, SI či DI [52].

**SS (stack segment)** — zásobníkový registr = registr adresy segmentu zásobníku, jehož obsahem je definován současný segment zásobníku o délce 64 Kslabik. Ve spojitosti s obsahy registrů SP a BP je definována aktuální adresa vrcholu zásobníku. Zásobník je používán při všech voláních procedur, přerušeníh a jiných instrukcích s ním spolupracujících. Je třeba uvést, že obsah zásobníku se zvětšuje shora dolů. To znamená, že poslední obsazená adresa je vrchol zásobníku, a ta je tím nižší, čím více dat je do zásobníku vloženo. Šířka dat zásobníku je 16 bitů a data se ukládají po slovech tak, že SP je dekrementován o 2 a pak je slovo uloženo. Naopak při vybírání se nejprve slovo vybere a pak se SP inkrementuje o 2.

**ES (extra segment)** — alternativní datový registr = registr adresy rezervního segmentu, jehož obsahem je definován současný rezervní segment, opět o délce 64 Kslabik. Tento segment je používán jako rezervní segment dat. Používá se při instrukcích s bloky dat, jež jako offsetovou adresu využívají registr DI.

**Registr IP (instruction pointer)** — čítač instrukcí, registr ukazatele instrukce, pracující jako programový čítač (program counter), známý ze skladby osmibitových mikropočítačů I8080, Z80 atd.

### Organizace paměti

Mikroprocesor 8086 generuje dvacetibitovou adresu a dovoluje tak adresovat  $2^{20} = 1048576$  osmibitových slabik paměti, a to v adresovaném prostoru 00000 a FFFFFH. Přitom šestnáctibitové slovo je vytvořeno dvěma po sobě následujícími slabikami. Z toho plyne, že operační paměti musí být organizovány po slabikách; mikropočítač s procesorem 8086 může tedy mít kapacitu až 534 288 slov.

Slabika s nižší adresou obsahuje nižší řády slova, slabika s vyšší adresou pak vyšší řády slova. Slovo může začínat jak na sudé, tak i na liché adrese; tím způsobem se využijí všechny paměťové buňky dané paměťové oblasti. Začíná-li slovo na sudé adrese, bývá označováno jako „vyrovnané“ a obě jeho slabiky lze přečíst nebo přepsat v jediném paměťovém cyklu. Začíná-li slovo na liché adrese — hovoříme o tzv.

nevyrovnaném slovu [3], které lze přečíst či zapsat dvěma paměťovými cykly. To ovšem procesor svými řídicími signály BHE a A0 pochopitelně umožňuje. (Nicméně uživatelský program, který by používal značnější počet nevyrovnaných slov, lze zrychlit vhodným přepsáním na sudé adresy).

Řídicí signály BHE a A0 tedy určují, zda bude prováděna operace s horní slabikou (BHE = 0, A0 = 1), s dolní slabikou (BHE = 0, A0 = 0) či se slovem (BHE = 0, A0 = 0).

U mikroprocesoru 8088, jehož vnější datová sběrnice je jen osmibitová, uvedená rozlišení nepřichází v úvahu; proto též se u něj neshledáme s řídicím signálem BHE.

I když mikroprocesor umožňuje přístup ke všem adresám operační paměti v celém rozsahu 00000H až FFFFFH, jsou na koncích celkového rozsahu vyhrazené úseky pro jeho specifikované funkce. Tak např. po počátečním nastavení — operace RESET — začíná procesor provádět instrukce vždy od adresy FFFF0. Na této adrese tedy musí být uložena instrukce počátku iniciační rutiny; proto je posledních šestnáct slabik paměťového rozsahu vždy přiděleno obslužnému programu. Rovněž tak oblast adres 00000H až 3FFFH je využívána přerušovacím systémem. Ta pro každý z dvěstěpadesátistí možných typů přerušení obsahuje dvojici slov, určujících adresu počátku příslušného obslužného programu. (První slovo, doplněné zprava čtyřmi nulami, určuje dvacetibitovou adresu segmentu a druhé slovo šestnáctibitovou adresu uvnitř tohoto segmentu). Z vyhrazené oblasti je pochopitelně zabráno jen tolik, kolik míst a typů přerušení struktura použitého přerušovacího systému vyžaduje. Každopádně však prvních pět typů přerušení INT 0 a INT 4 je generováno procesorem a tudíž je pro ně vyhrazeno místo na pevných adresách — viz obr. 20.

### Adresace paměti

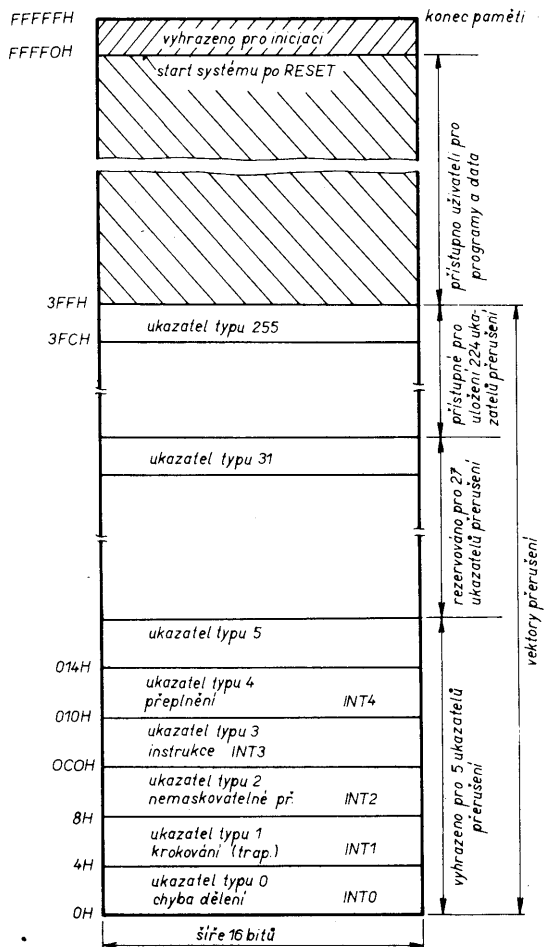
Osmibitové procesory, jejichž jedním představitelem je Z80-CPU, mohou svými šestnácti adresovými linkami A0 až A15 adresovat paměťový prostor o velikosti  $2^{16} = 65536 = 64$  Kslabik. Při požadavku přístupu k rozsáhlejší paměti, než je uvedených 64 KB (kilobyte = kilolabik), využívá se dvou způsobů, a sice tzv. „stránkování“, či již zmíněné segmentace.

Stránkování (paging) je typické pro osmibitové osobní počítače, zatímco se segmentací se setkáváme převážně u šestnáctibitových typů. Jak stránkování, tak i segmentace vyžadují dvojí informace. Je to jednak identifikátor potřebný k výběru správné stránky nebo segmentu, a dále tzv. offset, určující adresu dílčí buňky ve stránce či segmentu.

Oba způsoby adresování paměti se vzájemně liší:

— stránky mají pevnou délku, zatímco segmenty mohou mít proměnnou délku,

— Při segmentaci je v podstatě dovoleno, aby segmenty začínaly a končily kdekoliv v paměti, zatímco stránky začínají a končí vždy v pevných adresách, daných násobky délky stránky.



Obr. 20. Organizace operační paměti

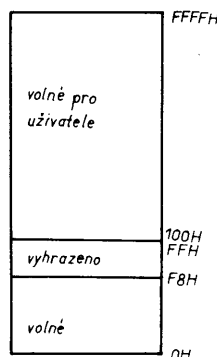
— segmenty se mohou vzájemně překrývat, což je u stránek vyloučeno,  
— segmentace vyžaduje od programátora v assembleru znalost umístění jednotlivých segmentů, zatímco stránkování je často realizováno automaticky operačním systémem nebo technickým vybavením.

Pro generování fyzické adresy, ať již při stránkování či segmentaci, a rovněž při řízení paměti, se používá správná jednotka (memory management unit — MMU), kterou tvoří obvykle samostatný integrovaný obvod. Pro šestnáctibitový procesor Z8000 je to např. MMU — Z8010. U procesoru I8086/8088 je jistá obdoba MMU integrována na jeho čipu.

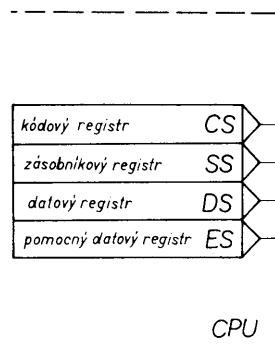
Jak již bylo uvedeno, používá mikroprocesor 8086/8088 čtveřici segmentových registrů, určujících umístění segmentu stejného označení ve fyzickém paměťovém prostoru, obr. 21. Úplná fyzická adresa je vytvořena sečtením logické adresy EA s adresou počátku segmentu, již získáme doplněním hodnoty uložené v registru daného segmentu o čtyři nulové bity zprava, tj. násobením šestnáctí, obr. 22. Adresa počátku segmentu má tak čtyři nejnižší bity nulové a každý segment začíná na fyzické adrese dělitelné šestnáctí. Rovnice, vyjadřující uvedený stav, má tvar:

$$fA = (16 \times iS) + EA,$$

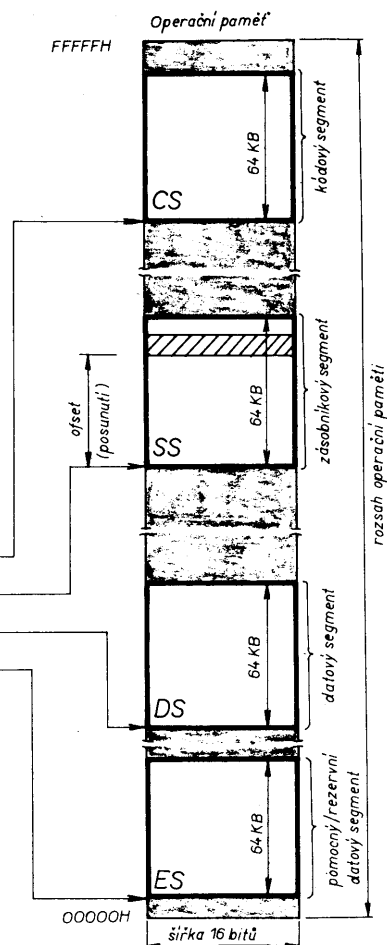
kde fA je fyzická adresa,  
iS jeden ze čtyř segmentů (obvykle CS) a  
EA logická adresa.



Obr. 21. Příklad rozmístění segmentů v operační paměti



Obr. 23. Vyhrazený úsek oblasti vstupů a výstupů



Je-li např. hodnota registru CS = 1000H a čítače instrukcí IP = 0414H, pak je fyzická adresa:  
 $fA = (16 \times 1000H) + 0414H = 10000H + 0414H = 10414H$ .

Každá fyzická adresa, vytvořená procesorem, je odvozena z obsahu jednoho ze segmentových registrů. Který z nich bude pro adresování použit, určuje implicitně kód prováděné instrukce. (Pro instrukce vstupu a výstupu je přičítána nulová adresa počátku segmentu, neboť rozsah adresového prostoru využívaného instrukcemi v-v je jen 64 kilobytů). Implicitní přiřazení je však možno změnit adresacním prefixem SOP (segment override prefix), jenž předchází příslušnou instrukci.

Použití registru CS, používaného při výběru instrukcí, nelze ovlivnit. Použití

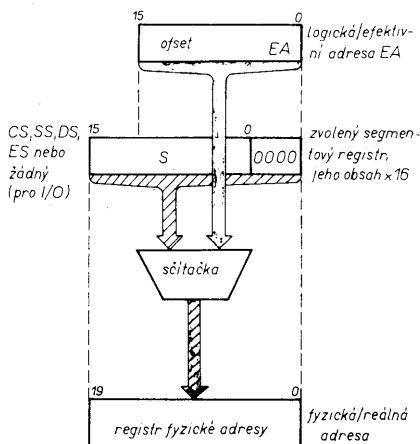
registru DS, jenž je implicitně používán při adresování pracovních paměťových oblastí a registru SS, jenž je implicitně používán při adresaci zásobníku lze měnit prefixem SOP; změna se tedy nevztahuje na registr CS. Možnosti změn uvádí tabulka:

implicitně zadané použití registrů	možnost změny
IP + CS	není
SP + SS	není
BP + SS	BP + DS, BP + ES, BP + CS
EA + DS	EA + ES, EA + SS, EA + CS
EA + ES	není

#### Adresování obvodů v-v

K adresování obvodů v-v se využívá signálů A0 až A15; na adresových vývodech A16 až A19 se nacházejí nuly při aktivním signálu M/I/O. Procesor 8086 tak může adresovat 64 K vstupů nebo výstupů se slovem délky osm (nebo šestnáct) bitů. Instrukce IN a OUT umožňují přímo adresovat 256 obvodů — v-v (adresy 0 až FFH) a nepřímo využitím registru adresy DX adresovat 64 K obvodů v-v (adresy 0 až FFFFH). Přitom fa Intel si vyhrazuje pro své programové a obvodové vybavení systémů s procesorem 8086 adresový úsek od F8H do FFH, obr. 23. K dosažení kompatibility programového vybavení se doporučuje tyto adresy v-v nepoužívat.

Pro přenos informací prostřednictvím obvodů v-v platí, že může být realizován buď po osmi, nebo šestnácti bitech. Šestnáctibitové brány v-v mohou být jak na lichých, tak i na sudých adresách. Sudá adresová slabika je přená-



Obr. 22. Způsob generování fyzické adresy



šena dolní polovinou datové sběrnice (D0 až D7), lichá slabika horní polovinou (D8 až D15). Pro rychlejší vykonání operací v-v se doporučuje adresovat brány stejným způsobem, jak to bylo naznačeno při adresaci paměti.

### Přerušení

Mikroprocesor 8086 má rozsáhlý přerušovací systém, v němž každému původci přerušení je přiřazen číselný typ přerušení, podle nějž jej procesor rozpozná. Přerušovacích typů může být až 256; přitom přerušení může být vyvoláno nejen zevně signály INTR a NMI, ale i vnitřně instrukcemi INT a INTO či v důsledku vnitřních stavů při vykonávání instrukcí – např. při přeplnění či dělení nulou (obr. 24).

Vrátíme-li se k obr. 20, zjistíme, že je na něm vyznačeno prvních 1024 buněk operační paměti, jež jsou vyhrazeny pro uložení vektorů přerušení. Každý vektor je čtyřslabičný; první dvě slabiky obsahují posunutí a další dvě pak básovou adresu segmentu. Tím je vyjádřena adresa (adresy) příslušného obsluhového programu, který se realizuje po akceptování požadavku na přerušení.

Prvních dvacet slabik počátku paměti (obr. 20) je vyhrazeno pěti typům přerušení s pevně přidělenou funkcí, jejichž obsluhu je vždy nutno zabezpečit. Následných 108 slabik je doporučeno rezervovat pro dvacet sedm typů přerušení, s nimiž se běžně v praxi vystačí. Zbývající slabiky mohou být použity pro další zatím nedefinovatelné typy.

Přerušení podle vzniku se tedy dělí na vnitřní a vnější: pro vnější má procesor dva vstupy INTR a NMI. Vstup INTR je nejčastěji řízen programovatelným řadičem přerušení 8259A. Přerušení na vstupu INTR může být však vyvoláno pouze při nastaveném příznakovém bitu IF = 1 – je tedy maskovatelné. Detekováním aktivní úrovně vstupu INTR zjistí procesor, že je předložen požadavek na přerušení. Ten stvrzuje provedením dvou po sobě následujících sběrnicových cyklů INTA, oddělených obvykle třemi stavy T1 – viz obr. 25. Na začátku prvního cyklu INTA je vyslán signál ALE, informující zařízení, jež žádalo přerušení, aby si připravilo kód přerušení. Během druhého cyklu INTA čte mikroprocesor 8086 z dolní poloviny datové sběrnice typ vektoru. Procesor typ převezme, násobí jej čtyřmi a tak dostane adresu v tabulce ukazatelů přerušení (obr. 20), jež mu umožní vyvolat obsluhový program [78], [7], [33], [36], [52].

Jak již víme, vstup nemaskovatelného přerušení slouží pro obsluhu havarijních situací systému, jako jsou hrozící ztráta napájení, chyba parity apod., jejichž obsluha musí být okamžitá. Proto též má NMI vyšší prioritu než kterýkoli jiný požadavek na vstupu INTR. U tohoto vstupu reaguje procesor již na čelní hranu signálu; žádost o přerušení zpracuje pak okamžitě bez ohledu na stav příznaku IF, rovněž neprobíhají stvrzovací cykly INTA.

Vnitřní přerušení se dělí na čtyři druhy:

- vyvolané instrukcí INT (typ n), již se může vyvolat kterýkoli přerušovací program, což je zvláště výhodné pro testování,
- vyvolané instrukcí INTO, byl-li předtím nastaven příznak přeplnění OF = 0 (typ 4),
- vyvolané po pokusu dělit nulou (typ 0),
- vyvolané při krokování – při nastaveném příznaku TF, a to po každé instrukci (typ 1). Využívá se s výhodou při ladění programů.

Pro všechna vnitřní přerušení platí, že typ přerušení je definován buď implicitně, nebo je obsažen v instrukci, že nenastávají cykly INTA (s výjimkou krokového režimu je nelze znemožnit maskováním) a že s výjimkou krokového režimu mají interní přerušení vyšší prioritu než externí.

### Činnost sběrnice

Časování činnosti mikroprocesoru 8086 je složitější proti činnosti jeho osmibitových předchůdců, a to nejen pro multiplexní využití místní (lokální) sběrnice a stavových bitů, ale pro větší rozmanitost možných funkcí i pro možnost minimálního a maximálního způsobu činnosti 8086.

Multiplexní přepínání funkcí některých vývodů je nutné pro zachování čtyřicetivodového pouzdra standardních rozměrů. Jednotlivé vývody pak mají v čase odchylné funkce, o čemž podává přehled základní časový diagram činnosti sběrnice na obr. 26.

Diagram znázorňuje sběrnicový cyklus čtení (vlevo) a cyklus zápisu. Každý cyklus sběrnice procesoru 8086 se skládá nejméně ze čtyř period hodinového signálu CLK, jež jsou nazývány stavy  $t_1, t_2, t_3$  a  $t_4$ . Adresa je vysílána procesorem za stavu  $t_1$  a přenos dat na sběrnici nastává během  $t_3$  a  $t_4$ . Stav  $t_2$  je využíván především pro změnu přenosu po sběrnici během operace čtení. V případech, kdy adresované zařízení ohlásí, že není připraveno (signálem READY = 0), jsou mezi  $t_3$  a  $t_4$  vkládány

jeden až několik čekacích stavů  $t_w$ , jejichž počet není omezen. Každý z vložených stavů  $t_w$  má trvání shodné s periodou hodinového taktu CLK. Vzhledem k tomu, že v procesoru 8086 spolupracuje styková jednotka BIU s prováděcí EU, a že BIU vykonává sběrnicové cykly jen tehdy, když o ně žádá EU, nebo když je třeba doplnit registr fronty, mohou se vyskytnout neaktivní hodinové cykly. V těch totiž BIU nevyvíjí navenek nějakou činnost. Neaktivní periody jsou zvané stavy T<sub>i</sub> (idle = plané) a jsou v nich vykonávány jen nutné interní operace.

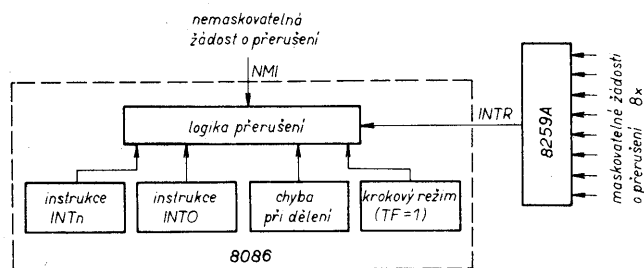
Během stavu  $t_1$  kteréhokoli cyklu sběrnice se vysílá signál ALE pro uložení adresy do střadačů, a to buď procesorem nebo řadičem sběrnice v závislosti na nastaveném způsobu činnosti. V maximálním způsobu jsou signály ALE, jakož i DEN a DT/R generovány řadičem 8288, což je podrobně popsáno výše. Rovněž procesor dodává stavovou informaci  $S_0, S_1$  a  $S_2$  pro specifikování typu žádané operace. Stavové bity  $S_3$  až  $S_7$  jsou multiplexovány s nejvyššími adresovými bity a signálem BHE a mají proto platnost během  $t_2$  až  $t_4$ . Stavové bity  $S_3$  a  $S_4$  indikují, jaký segmentový registr byl použit pro daný cyklus sběrnice k vytvoření adresy (viz str. 10).

### Časování systému

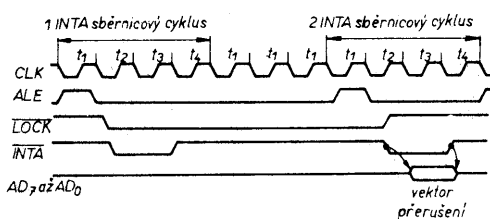
Již několikrát zde byla zmínka o tom, že mikroprocesor 8086 může pracovat v minimálním nebo maximálním způsobu. Typické konfigurace pro oba způsoby jsou na obr. 27 (minimální způsob) a na obr. 28 (maximální způsob). Zásadní rozdíl mezi oběma způsoby spočívá v generování řídicích signálů. V minimálním způsobu generuje řídicí signály mikroprocesor 8086, v maximálním způsobu řadič 8288. Je pochopitelné, že rozdíl v obou způsobech zapojení se projeví patřičně i v časování systému.

#### a) Minimální systém

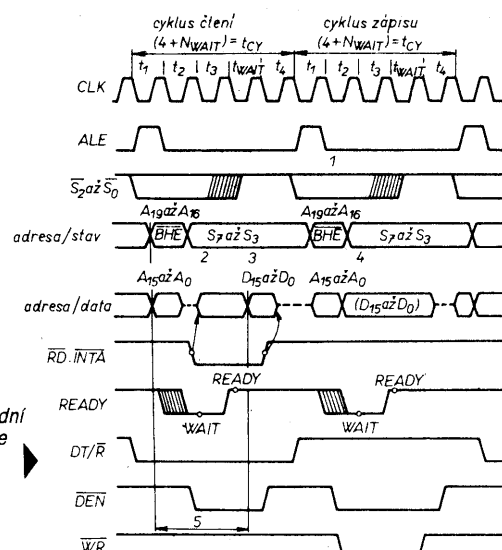
V čtecím cyklu se sestupnou hranou signálu ALE přepíše do registrů 8282 adresa lokální sběrnice. Signály BHE a  $A_0$  adresují spodní, horní či obě slabiky, ( $BHE=A_0=0$  – slovo,  $BHE=0$  a  $A_0=1$  – horní slabika z/do liché adresy,  $BHE=1$  a  $A_0=0$  – dolní slabika z/do sudé adresy,  $BHE=A_0=1$  – nedefinováno). Od  $t_1$  až do  $t_4$  indikuje signál M/ $\overline{IO}$  činnost s pamětí či obvody v-v. V čase  $t_2$  mizí z lokální sběrnice adresa a sběrnice sama přechází do stavu velké impedance. Rovněž v  $t_2$  se aktivuje řídicí signál čtení  $\overline{RD}$ , umožňující, aby zdroj dat předal svá data na sběrnici. O něco později jsou data ustatlena (= data



Obr. 24. Typy vnitřních zdrojů přerušení



Obr. 25. Časové průběhy cyklů INTA přebírajících požadavek přerušení



Obr. 26. Základní cyklus sběrnice

platná) a zdroj oznamuje jejich platnost signálem READY, takže mohou být převzata procesorem. Po ukončení signálu RD adresovaný zdroj dat opět převede své výstupy do třetího stavu. Řídící signály pro ovládání obousměrných zesilovačů (oddělovačů) sběrnice poskytuje v daném způsobu přímo procesor 8086. (Oddělovače však nemusí být zastoupeny – použijí se jen tehdy, je-li třeba zvětšit proudovou zatížitelnost datové sběrnice, např. při značném počtu paměťových pouzder apod.)

V zápisovém cyklu se rovněž v  $t_1$  generuje signál ALE, vysílá adresa a nastavuje indikační signál M/I/O. V  $t_2$ , ihned po vyslání adresy, vysílá procesor data, jež mají být zapsána na adresované místo. Data zůstávají platná až do poloviny času  $t_4$ . Během  $t_2$ ,  $t_3$  a  $t_w$  generuje procesor řídicí signál zápisu WR. Signál WR je platný od počátku  $t_2$  na rozdíl od čtení, kdy je řídicí signál zpožděn, aby sběrnice mohla přejít do stavu velké impedance, obr. 29. Funkce signálu BHE a  $A_0$  pro výběr slabiky či slova je stejná jako při čtení. Brány v-v jsou adresovány stejně jako paměť. To znamená, že sudé adresové bity jsou přenášeny po linkách D0 až D7, liché po linkách D8 až D15 datové sběrnice.

Cykly potvrzení přerušení se od cyklu čtení liší tím, že v prvním ze dvou cyklů INTA je řídicí signál RD nahrazen řídicím signálem INTA a sběrnice je ve stavu velké impedance. V druhém cyklu INTA se čte slabika z dolní poloviny datové sběrnice (linky D0 až D7). Slabika je dodána logikou daného přerušovacího systému – např. řadičem 8259A; je dále interpretována jako typ přerušení.

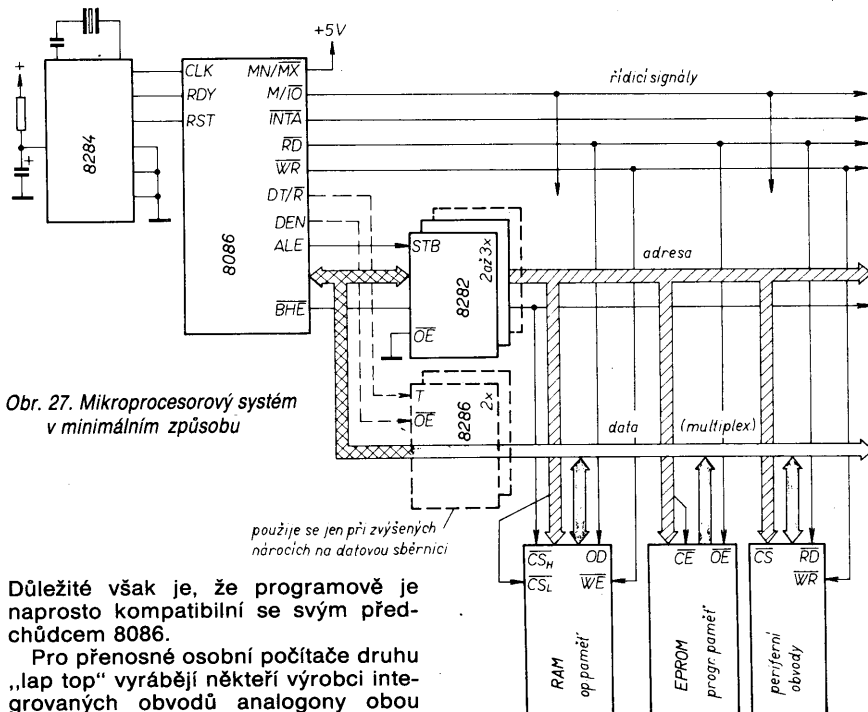
#### b) Maximální (nebo středně složitý) systém

Pro systémy střední až velké složitosti užijeme se procesorový vstup MN/MX a zapojení se doplní řadičem 8288, obr. 28. Nezbytné jsou i oddělovače sběrnice. Řídící signály ALE, DEN a DT/R mají stejnou funkci, jsou však nyní generovány řadičem. Časový diagram průběhu jednotlivých signálů je pro různé cykly na obr. 30.

#### Příbuzné typy

Jedním z nejbližších „příbuzných“ typů k 8086 je tzv. kvazišestnáctibitový mikroprocesor 8088, jenž pracuje se stejným instrukčním souborem. Má však pouze osmibitovou vnější datovou sběrnici (i když vnitřně zpracovává šestnáctibitová slova), takže jeho horní polovina adresové sběrnice je nemultiplexovaná. Je rovněž v čtyřicetivývodovém pouzdru, avšak s mírně odchylným označením a funkcemi jednotlivých vývodů, obr. 31. To jednak z výše uvedených příčin, jednak též proto, že např. signál BHE nemá u 8088 význam a byl vypuštěn. K dalším odlišnostem patří, že signál  $\overline{SS0}$  vykonává stavovou informaci  $\overline{S_0}$  v minimálním způsobu, že signál IO/M je inverzní, a dále že signál ALE je zpožděn o jeden hodinový cyklus v minimálním způsobu, když se objeví signál HALT. To umožňuje zachytit stav sběrnice procesorem 8088 do vyrovnávacích registrů signálem ALE. Vnitřně pak jeho registr fronty pojme pouze 4 slabiky.

Mikroprocesor 8088, i když je proti 8086 pomalejší, našel své uplatnění v osobních počítačích IBM PC-XT.



Obr. 27. Mikroprocesorový systém v minimálním způsobu

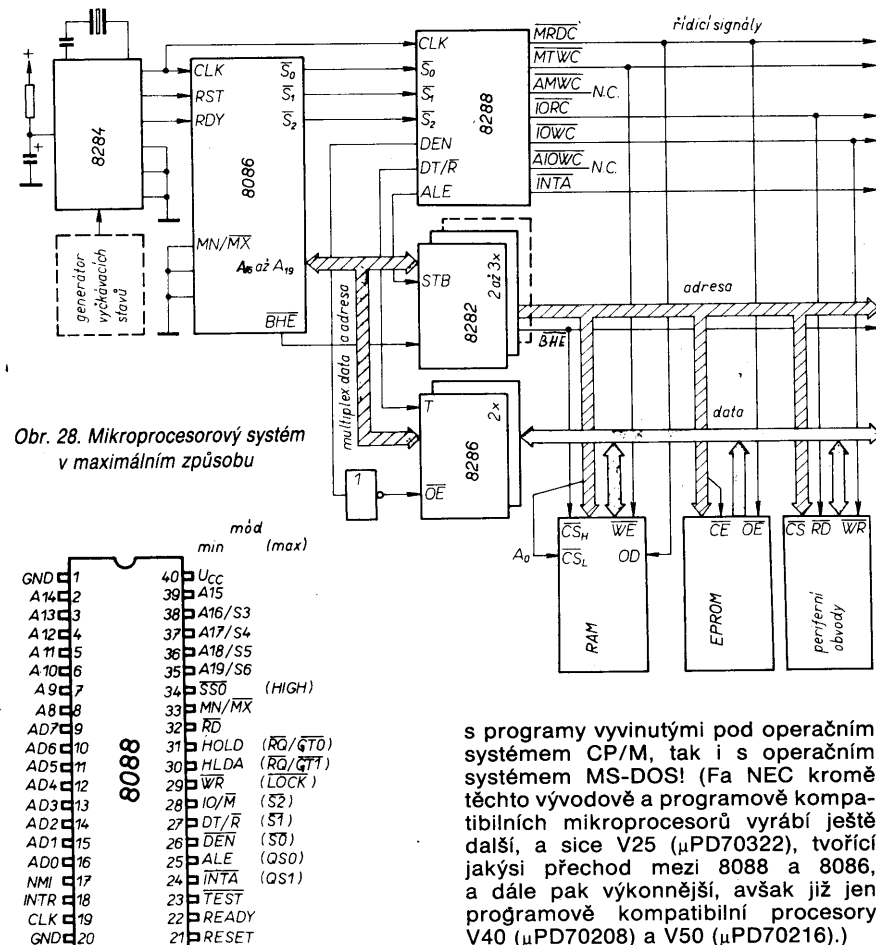
Důležité však je, že programově je naprosto kompatibilní se svým předchůdcem 8086.

Pro přenosné osobní počítače druhu „lap top“ vyrábějí někteří výrobci integrovaných obvodů analogony obou uvedených typů v technologickém provedení C-MOS, jež se vyznačují malou proudovou spotřebou. Tyto analogony nesou označení např. 80C86 a 80C88; pro nasazení v přenosných počítačích je ovšem potřebné, aby i podpůrné obvody byly též C-MOS. Tyto obvody v C-MOS verzích vyrábějí někteří japonské výrobci.

Japonští výrobci se nezastavili pouze u výroby analogonů C-MOS, ale produ-

kují též vylepšené verze pod typovými označeními V20 (=  $\mu$ PD70108), V30 (=  $\mu$ PD70116), jež jsou – v důsledku vnitřní reorganizace – rychlejší svých předchůdců (asi o 30 %).

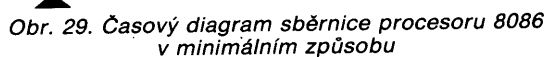
Kromě větší rychlosti poskytuje procesor V20 též možnost emulace procesoru 8080. Tím je zajištěno, že počítačový systém, vybavený procesorem V20, je schopný komunikovat jak



Obr. 28. Mikroprocesorový systém v maximálním způsobu

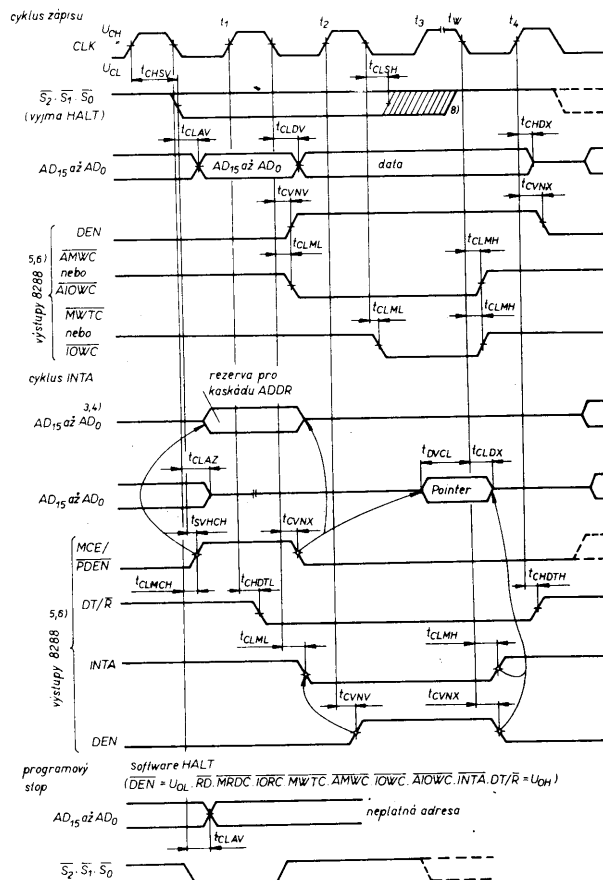
s programy vyvinutými pod operačním systémem CP/M, tak i s operačním systémem MS-DOS! (Fa NEC kromě těchto vývodů a programově kompatibilních mikroprocesorů vyrábí ještě další, a sice V25 ( $\mu$ PD70322), tvořící jakýsi přechod mezi 8088 a 8086, a dále pak výkonnější, avšak již jen programově kompatibilní procesory V40 ( $\mu$ PD70208) a V50 ( $\mu$ PD70216).)

Tím však paleta analogonů nekončí. Původní výrobce procesoru 8086, fa Intel, vyrábí kompletní procesory 80186



- 
- cyklus zapisu 1)
- (RD INTA DT/R =  $U_{0q}$ )
- $AD_{15}$  až  $AD_0$
- $t_{CLAV}$   $t_{CLDV}$   $t_{CLDX}$   $t_{CHPX}$
- data ven
- $t_{AVAL}$   $t_{LAX}$   $t_{WMDX}$   $t_{CVCTX}$
- $t_{CVCTV}$
- $\overline{DEN}$
- $t_{WLVH}$
- $\overline{WR}$
- cyklus INTA 2)
- (RD  $\overline{WR}$  =  $U_{0q}$ ,  $\overline{BHE}$  =  $U_{0q}$ )
- $AD_{15}$  až  $AD_0$
- $t_{CLAZ}$   $t_{CHCVT}$   $t_{CVCTV}$   $t_{CVCTX}$   $t_{CHCTV}$
- DT/R
- INTA
- $t_{DVCL}$   $t_{CLDX}$
- Pointer
- $\overline{DEN}$
- programový stop
- $AD_{15}$  až  $AD_0$
- $t_{CLAV}$   $t_{CLDV}$
- neplatná adresa
- Software HALT
- DEN RD  $\overline{WR}$
- INTA =  $U_{0q}$

1. Všechny signály se pohybují mezi  $U_{OH}$  a  $U_{OL}$ , není-li jinak specifikováno.
2. RDY se vzorkuje poblíž konce  $T_A$ ,  $T_B$ ,  $T_{w}$ , aby se zjistilo, zda se mají vložit čekací stavy  $T_w$ .
3. Kaskádní adresa je platná mezi prvním a druhým cyklem INTA.
4. Dva cykly INTA těsně za sebou. Lokální multiplexovaná sběrnice je během obou cyklů INTA v třetím stavu. Řídící signály jsou znázorněny pro druhý cyklus INTA.
5. Signály 8284 a 8288 jsou pouze referenční.
6. Generování řídících signálů a příkazů 8288 (MRDC, MWTC, AMWC, IORC, IOWC, AIOWC, INTA a DEN) je zpožděno za aktivní následující hranou DEN řadiče 8288.
7. Všechny časy se měří na úrovni 1,5 V, není-li jinak vyznačeno.
8. Stav není aktivní ve stavu těsně před  $T_A$ .



a 80188, označované někdy leckde jako typy iAPX186 a iAPX188. Ty na svém čipu zahrnují asi 15 podpůrných/systémových obvodů, např. generátor taktu, tři programovatelné časovače/čítače, programovatelný řadič přerušení, jednotku výběru čipu paměti a periférií a též programovatelnou jednotku přímého přístupu do paměti DMA s dvěma kanály.

Další odezvou na konkurenční výrobky šestnáctibitových mikroprocesorů byla u fy Intel a Siemens produkce výkonného mikroprocesoru typového označení 80286 (SAB80286), jenž je 6× rychlejší než 8086, neboť mimo jiné pracuje s vyšším hodinovým kmitočtem (6, — 8, — 10, — 12, — MHz). Pro své vynikající vlastnosti našel uplatnění v osobních počítačích IMB-AT a jim odpovídajících výrobků. (Může např. adresovat až 16 MB fyzicky a 1 GB virtuálně atd.). I když má jiné pouzdro o 68 vývodech, je (směrem zdola — tj. od 8086) kompatibilní.

Zatím posledním následovníkem 8086 je typ 80386 fy Intel, jenž již našel též své uplatnění v osobních počítačích (jako první Kaypro 386). Je to však již dvaatřicetibitový mikroprocesor, jenž všechny své předchůdce v mnoha směrech převyšuje.

#### APLIKACE

##### iSBC 86/12 (Intel single board computer)

Jednou z prvních aplikací šestnáctibitového mikroprocesoru 8086 je jednodeskový mikropočítač iSBC 86/12 firmy Intel, určený pro zástavbu (OEM). Deska má rozměry 6,75 × 12 palců a připomíná známé osmibitové předchůdce téhož výrobce a sice jednodeskové mikropočítače iSBC 80/10 a iSBC 80/20 [44].

Blokové zapojení mikropočítače je na obr. 32, obsahuje CPU 8086, s generátorem taktu 8284, dále pak paměť programů ROM (na desce jsou čtyři objímky, takže ji lze osadit až čtyřmi pamětmi typu 2332 či 2732 o kapacitě 16 kB) a paměť dat RAM o kapacitě 32 KB, osazená pamětovými čipy typu 2117. Pro styk s vnějším okolím je deska vybavena 24 programovatelnými paralelními linkami podpůrného stykového obvodu 8255, jež — v závislosti na příslušné programové rutině — mohou pracovat jako obousměrné nebo jednosměrné vstupně-výstupní kanály. Rovněž je zajištěn sériový komunikační styk podle normy RS. 232C, a sice programovatelným podpůrným stykovým obvodem 8251 a nutnými diskrétními součástkami. (Způsob přenosu, tj. synchronní či asynchronní, dále formát dat, počet bitů znaku, parita a přenosová rychlost — to vše se určuje programově.) Sériový styk je možný s dálkopisem (galvanicky odděleným optickým vazebním členem) nebo s jinými perifériemi, a to proudovou smyčkou 20 mA.

Dále jsou uživateli mikropročítače k dispozici dva časovače 8253, jež může libovolně používat. Jejich výstupy mohou být vhodně provázány s programovatelným řadičem přerušení — 8259A — jenž je taktován na desce osazen, a jímž jsou generovány vektory pro osm úrovní přerušení (spolu s NMI je jich tedy devět). Na desce jsou časovače 8253 celkem tři; ten třetí je

Tab. 8. Časové odezvy (viz též str. 11)

	Parametr	8086/8086-4		8086-2		
		Min.	Max.	Min.	Max.	
$t_{CLAV}$	zpoždění adresy	10	110	10	60	ns
$t_{CLAX}$	přesah adresy	10		10		ns
$t_{CLAZ}$	zpoždění přechodu do 3. stavu (adresy)	$t_{CLAX}$		$t_{CLAX}$	50	ns
$t_{LHLL}$	šířka ALE	$t_{CLCH}-20$		$t_{CLCH}-10$		ns
$t_{CLLH}$	zpoždění aktivní hrany ALE		80		50	ns
$t_{CHLL}$	zpoždění neaktivní hrany ALE		85		55	ns
$t_{LLAX}$	přesah adres	$t_{CHCL}-10$		$t_{CHCL}-10$		ns
$t_{CLDV}$	zpoždění dat	10	110	10	60	ns
$t_{CHDX}$	přesah dat	10		10		ns
$t_{WHDX}$	přesah dat po WR	$t_{CLCH}-30$		$t_{CLCH}-30$		ns
$t_{CVCTV}$	zpoždění 1. akt. hrany povelu	10	110	10	70	ns
$t_{CHCTV}$	zpoždění 2. akt. hrany povelu	10	110	10	60	ns
$t_{CVCTX}$	zpoždění neakt. hrany povelu	10	110	10	70	ns
$t_{AZRL}$	čas. interval mezi přechodem adres do 3. stavu a aktivní hranou READ	0		0		ns
$t_{CLRL}$	zpoždění aktivní hrany $\overline{RD}$	10	165	10	100	ns
$t_{CLRH}$	zpoždění neakt. hrany $\overline{RD}$	10	150	10	80	ns
$t_{RHAV}$	čas. interval mezi neakt. hranou $\overline{RD}$ a akt. hranou příští adresy	$t_{CLCL}-45$		$t_{CLCL}-45$		ns
$t_{CLHAV}$	zpoždění HLDA platný	10	160	10	100	ns
$t_{RLRH}$	šířka $\overline{RD}$	$2t_{CLCL}-75$		$2t_{CLCL}-50$		ns
$t_{WLWH}$	šířka $\overline{WR}$	$2t_{CLCL}-60$		$2t_{CLCL}-40$		ns
$t_{AVAL}$	čas. interval adr. platná — ALE na dolní úrovni	$t_{CLCH}-60$		$t_{CLCH}-40$		ns

Poznámka: 1) Signál obvodu 8284 jako reference. 2) Požadavek předstihu pro asynchronní signál jen pro záruku rozpoznání při následujícím hodinovém impulsu. 3) Vztahuje se pouze ke stavu  $t_2$  (8 ns do  $t_3$ ).  $C_L = 20$  až 100 pF pro všechny výstupy.

Systém 8086, 8088 v max. způsobu (s řadičem sběrnice 8288)

Požadavky na časování vstupů

	Parametr	8086/8086-4		8086-2			Podm. zk.
		Min.	Max.	Min.	Max.		
$t_{CLCL}$	CLK perioda — 8086, 8088 — 8086-4	200 250	500 500	125	500	ns	
$t_{CLCH}$	CLK šířka (úroveň 1)	$(2/3 t_{CLCL})-15$		$(2/3 t_{CLCL})-15$		ns	
$t_{CHCL}$	CLK šířka (úroveň H)	$(1/3 t_{CLCL})+2$		$(1/3 t_{CLCL})+2$		ns	
$t_{CH1CH2}$	CLK doba náběhu		10		10	ns	1 až 3,5 V
$t_{CL2CL1}$	CLK doba doběhu		10		10	ns	3,5 až 1 V
$t_{DVCL}$	předstih vst. dat	30		30		ns	
$t_{C1DX}$	přesah vst. dat	10		10		ns	
$t_{R1VCL}$	předstih RDY (8284), pozn. 1), 2)	35		35		ns	
$t_{CLR1X}$	přesah RDY (8284), pozn. 1), 2)	$(2/3 t_{CLCL})-15$		$(2/3 t_{CLCL})-15$		ns	
$t_{CHRYX}$	přesah READY	30		20		ns	
$t_{RYLCL}$	neaktiv. READY vůči CLK, pozn. 4)	—8		—8		ns	
$t_{INVCH}$	předstih (INTR, NMI, TEST) 2)	30		15		ns	
$t_{GVCH}$	RQ/GT předstih	30		15		ns	
$t_{CHGX}$	RQ přesah v 8086	40		30		ns	

Poznámky: 1) Signály 8284 či 8288 znázorněny pouze jako reference. 2) Požadavek předstihu synchronního signálu pouze pro záruku rozpoznání při následujícím CLK. 3) Vztahuje se pouze na stavy  $t_3$  a čekací stavy. 4) Vztahuje se pouze ke stavu  $t_2$  (8 ns do  $t_3$ ).

	Parametr	8086/8086-4		8086-2		
		Min.	Max.	Min.	Max.	
$t_{CLML}$	zpoždění aktivní hrany povelu 1)	10	35	10	35	ns
$t_{CLMH}$	zpoždění neaktivní hrany povelu 1)	10	35	10	35	ns
$t_{RYHSH}$	aktivní READY k pasívnímu STATUS 3)		110		65	ns
$t_{CHSV}$	zpoždění aktivní hrany STATUS	10	110	10	60	ns
$t_{CLSH}$	zpoždění neakt. hrany STATUS	10	130	10	70	ns
$t_{CLAV}$	zpoždění adresy přesah adresy	10	110	10	60	ns
$t_{CLAX}$	zpoždění přech. adres do 3. stavu	10		10		ns
$t_{CLAZ}$	platný status ku ALE úrovně H 1)	$t_{CLAX}$	80	$t_{CLAX}$	50	ns
$t_{SVLH}$	platný status ku MCE úrovně H 1)		15		15	ns
$t_{SVMCH}$	CLK úrovně L k ALE platný 1)		15		15	ns
$t_{CLLH}$	CLK úrovně L k MCE úrovně H 1)		15		15	ns
$t_{CLMCH}$	zpoždění neakt. hrany ALE 1)		15		15	ns
$t_{CHLL}$	zpoždění neakt. hrany MCE 1)		15		15	ns
$t_{CLMCL}$	zpoždění dat přesah dat	10	110	10	60	ns
$t_{CLDV}$	zpoždění aktivní hrany povelu 1)	10		10		ns
$t_{CHDX}$	zpoždění neakt. hrany povelu 1)	5	45	5	45	ns
$t_{CVNV}$	adresa do 3. stavu ku akt. RD	10	45	10	45	ns
$t_{CVNX}$	zpoždění akt. hrany RD	0	165	0	100	ns
$t_{AZRL}$	zpoždění neakt. hrany RD	10	150	10	80	ns
$t_{CLRL}$	RD neaktivní k příští akt. adrese	$t_{CLCL}-45$		$t_{CLCL}-40$		ns
$t_{CLRH}$	zpoždění aktivní hrany řízení směru 1)		50		50	ns
$t_{RHAV}$	zpoždění neakt. hrany říz. směru 1)		30		30	ns
$t_{CHDTL}$	zpoždění aktivní hrany hrany GT	0	85	0	50	ns
$t_{CHDTH}$	zpoždění neakt. hrany GT	0	85	0	50	ns
$t_{CLGL}$	šířka RD	$2t_{CLCL}-75$		$2t_{CLCL}-50$		ns
$t_{CLGH}$						
$t_{RLRH}$						

$C_L = 20$  až  $100$  pF pro všechny výstupy (přídavek k vlastní zátěži).

však využíván ve funkci generátoru přenosové rychlosti (Bd) a nelze jej použít pro jiné účely.

iSBC 86/12 má vnitřní sběrnici pro komunikaci mezi uvedenými bloky

(CPU, paměťmi, obvody v-v, ...). Mimoto však ještě má tzv. systémovou sběrnici MULTIBUS, pro přístup k vnější paměti (o kapacitě až 1 Mslov) či k zařízením v-v, a dále pak dvojitou

bránu k paměti dat RAM. Brána umožňuje přístup k paměti jednak přes vnitřní (lokální) sběrnici pro CPU, jednak pro sběrnici MULTIBUS. Při využívání vnitřní sběrnice se vnější MULTIBUS činnosti nezúčastňuje; MULTIBUS však lze využít pro komunikaci s jinými vnějšími zařízeními, jako je např. modul DMA (přímého přístupu k paměti) nebo jiný jednodeskový mikroprocesorový systém, přenášející informace k přidavné systémové paměti.

Systémová vnější sběrnice umožňuje víceprocesorové paralelní zpracování dat; v dané aplikaci může být sběrnice MULTIBUS využito k rozšíření mikropočítače do systému užitím jiných mikropočítačů iSBCm vnějších pamětí či jiných rozšiřujících desek.

Vzhledem k tomu, že se pro paměť dat používají dynamické čipy 2117, je na desce iSBC i příslušná logika pro obnovení dat (refresh). Řadič dvojité brány paměti RAM dovoluje přístup k jejímu obsahu v šestnáctibitových slovech pro CPU 8086; pro MULTIBUS však může být přístup sjednán v osmibitových slabikách (byte) či šestnáctibitových slovech. Pro přístup k paměti má však CPU vyšší prioritu proti systémové sběrnici MULTIBUS. Řadič dvojité brány obsahuje nezávislou logiku pro přístup k paměti: pro CPU začíná vždy s adresou 00000H. Ovšem pro MULTIBUS — vzhledem k možnosti propojit několik počítačů — je možné nastavit počáteční adresu paměti na dotyčné desce na kteroukoli osmikilobitovou mez (tj. po 8 KB) v rozmezí adres 0 až 1 048 576 ( $2^{20}$ ).

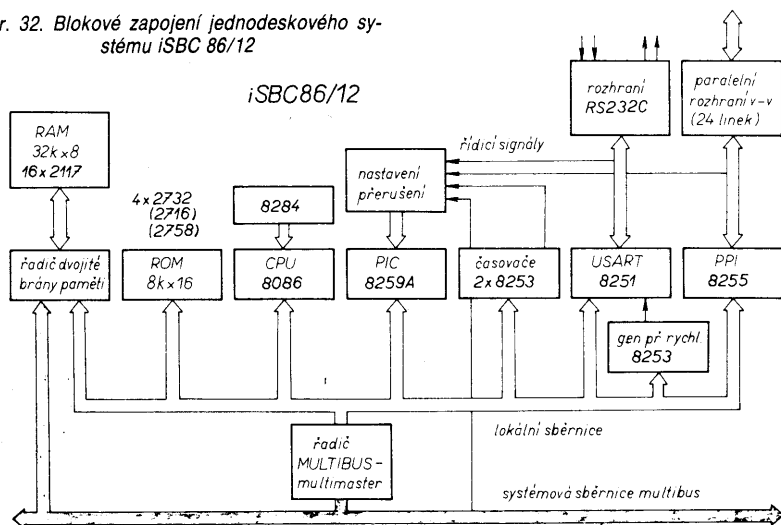
Paměť programů ROM začíná na adrese FF000H a končí na FFFFFH při použití typů 2316 nebo 2716 a posléze začíná na adrese FC000H při použití nejobšáhlejších typů (v dvacetičtyřvývodovém pouzdře) 2332 či 2732.

Generátor přenosové rychlosti lze nastavit (zápisem povelového slova do registru Bd druhého časovače 8253) pro šestnáctinásobek kmitočtu v osmi stupních počínaje rychlostí  $110 \text{ bs}^{-1}$  až do  $9600 \text{ bs}^{-1}$  a pro šedesátčtyřnásobek v šesti stupních, počínaje  $75 \text{ bs}^{-1}$  až do  $2400 \text{ bs}^{-1}$  ( $\equiv \text{Bd}$ ).

Napájení desky je 5,0 V/5,4 A; 12,0 V/0,45 A; —12 V/0,14 A, celková hmotnost osazené desky je asi 0,54 kg, rozměry v cm:  $30,48 \times 17,15 \times 1,78$  (tloušťka). Systémový takt:  $5,0 \text{ MHz} \pm 0,1\%$ . Systém je vybaven provozním programem — monitorem, umístěným v programové paměti ROM o minimální kapacitě 1 Kslovo ( $2 \times 2758$ ), jenž dovoluje realizovat komunikaci s mikropočítačem asynchronně sériově přes dálnopis [45].

Jednodeskový mikropočítač iSBC 86/12 je vhodný pro nasazení v řízených jedno či několikaúčelových systémech, v nichž může výrazně ovlivnit produktivitu výroby řízeného procesu, zvýšit spolehlivost ovládání, zmenšit příkon el. energie atd., viz [44]. Pro seznámení s činností mikroprocesoru 8086 či vyvíjení aplikačních programů se však nehodí. Proto fa Intel uvedla na trh již v roce 1979 jednodeskový školní mikropočítač SDK 86 [1].

Obr. 32. Blokové zapojení jednodeskového systému iSBC 86/12



### Jednodeskový školní šestnáctibitový mikropočítač SDK 86

SDK 86 (system design kit) MCS-86 je vlastně jednodesková stavebnice šestnáctibitového mikropočítače s mikropočítačem 18086, obsahující další nezbytné součásti (tlačítka šestnáctkové klávesnice, sedmissegmentové znakovky LED osmimístného displeje, rezistory, kondenzátory, podpůrné a programovatelné obvody jakož i paměti), dovolující v krátkém čase vytvořit provozuschopný mikropočítačový systém. (Podle údajů výrobce je doba, potřebná k sestavení, čtyři až deset hodin — v závislosti na zkušenostech a šikovnosti.)

Z hlediska pracovních možností SDK 86 předčí své předchůdce (např. jednodeskový školní mikropočítač SDK 85 s osmibitovým mikropočítačem 8085), protože jej lze používat:

- jako autonomní školní mikropočítač (vyžadující pouze připojit napájecí napětí +5 V), jenž je obsluhován čtyřicetitisíci tlačítky; zadání a výsledky jsou zobrazovány šestnáctkově na osmimístném zobrazovači LED,
- jako jednodeskový mikropočítačový systém (vyžadující tři napájecí napětí, z nichž  $\pm 12$  V slouží pro obvody sériového styku), s nímž je možno komunikovat sériovým přenosem pomocí dálkopisu nebo terminálu, a konečně
- jako podružný systém vývojového systému Intellect fy Intel (pochopitelně po propojení s vývojovým systémem), jenž umožňuje ukládat jakýkoli soubor dat operačního systému ISIS-II do paměti SDK 86 (pokud je dostatečně velká) a převádět vybraný úsek dat z paměti SDK 86 do souboru dat v ISIS II, a to na základě sériového zavlékačského

programu. (Ten je součástí dodávky, je na disketě a nese označení „SD-DA ISIS-II SDK-86 loader“ pro jednotky pracující s disketami v jednoduché hustotě, či „DDDA ISIS-II SDK-86 loader“ pro jednotky s dvojitou hustotou.)

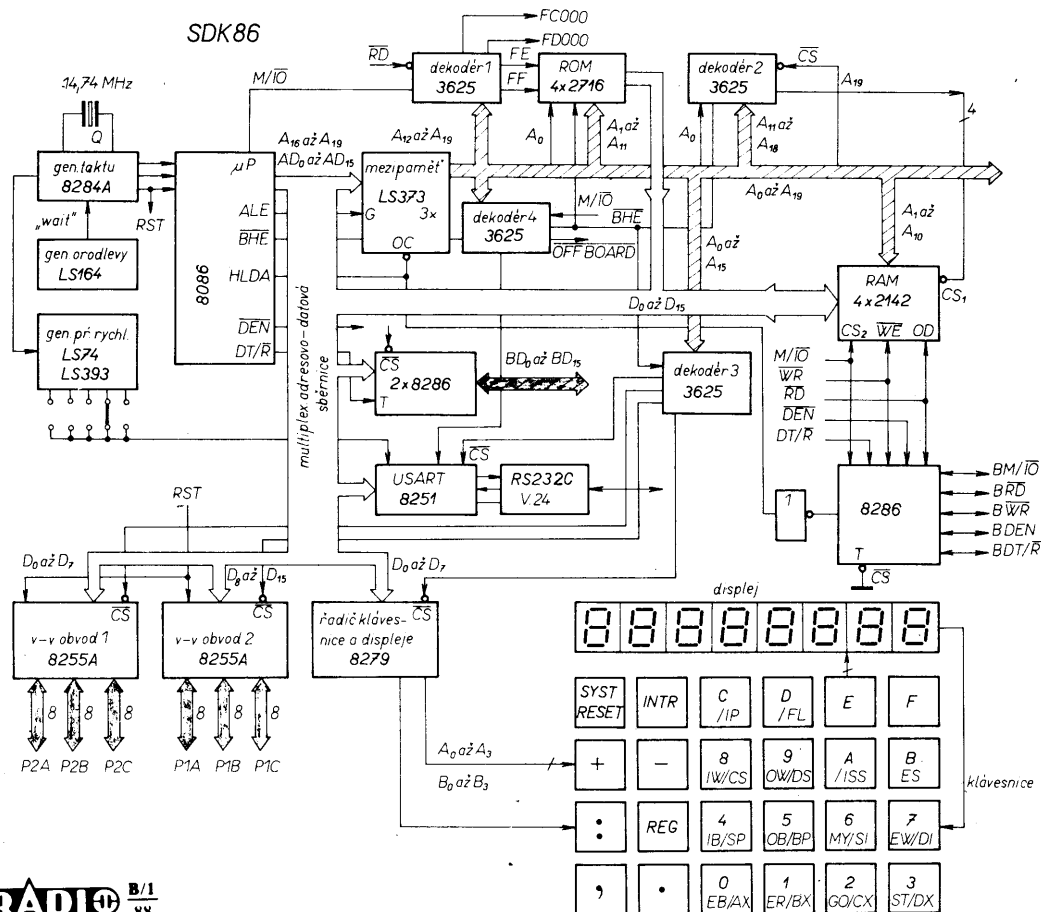
Je ovšem nasnadě, že využívání tohoto mikropočítače prvním způsobem je nejčastější. K tomu účelu je na jeho desce se součástkami po jedné straně volné „pole“, opatřené sítí děr s pokovenými povrchy a okolky. Ty tvoří jakési „nýtky“, do nichž je možno vkládat součásti a vhodně je propojovat. Vedle tohoto pole se nachází trojice konektorů, k nimž jsou přivedeny adresové, datové a řídicí signály, oddělené od lokální sběrnice mikropočítače 8086 oddělovacími zesilovači 8286. Na konektory jsou přivedeny i vstupně-výstupní signály obou paralelních stykových obvodů ( $2 \times 8255A$ ). Montážní pole poskytuje tak možnost koncipovat a ověřovat funkce různých zapojení, řízených daným mikropočítačem.

Avšak vraťme se k mikropočítači SDK 86. Jeho elektronickou koncepcí zhruba vyjadřuje blokové schéma na obr. 33, na němž jsou jeho hlavní části a důležité spoje. SDK 86 se opírá o šestnáctibitový mikropočítač 8086, jenž v daném zapojení může pracovat s dvěma systémovými taktiky: a) buď s kmitočtem 5 MHz (CLK), nebo — v případě použití „pomalejších“ paměťových čipů a periferních obvodů — s kmitočtem polovičním — b) 2,5 MHz (PCLK). Kmitočet se volí příslušnou propojkou (jumper w40, w41 viz [2], [15]).

Generátor taktu 8284 je spřažen s generátorem vyčkávacích stavů (wait) 74LS164, u něhož lze též podle potřeby zařadit pro správnou činnost CPU žádný, či jeden až sedm vyčkávacích stavů.

Z blokového schématu dále vyplývá celková skladba mikropočítače: jeho paměť programů je osazena čtyřmi EPROM 2716 o celkové kapacitě 4 kilobyt, paměť dat je osazena též čtyřmi paměťovými obvody, typu 2124 o celkové kapacitě jednoho kilobytu. Avšak vzhledem k tomu, že deska mikropočítače má vyhrazený prostor pro umístění osmi pouzder paměti RAM, je možné zvětšit kapacitu této paměti na dvě kilobytu (přidáním dalších čtyř 2124, jež však ve stavebnici nejsou). Paměť RAM se v adresovém prostoru nachází zcela „dole“, tzn. že začíná od adresy 00000H a končí na adrese 007FFH nebo 00FFFFH. Paměť ROM je v adresovém prostoru od adresy FE000H až do FFFFFH. Tento prostor však zaujímají dva obslužné programy na sobě nezávislé. Ten první je monitor, umožňující obsluhu komunikovat s procesorem prostřednictvím vestavěné klávesnice (24 tlačítek) a displeje, jakož i šesti kanály (tj. 48 paralelními linkami) obousměrných bran, či sériově přes USART 8251. Tento monitor je hlavní a výrobce jej nazval „monitor klávesnice“ [45], [47] (keypad monitor), neboť jeho hlavním úkolem je přenášet a realizovat povely zadané klávesnicí, jejíž některá tlačítka jsou až třífunkční (např.: tlačítko „7/EW/DI“ = zadej 7, nebo ukaž slovo, nebo index určení), a to za součinnosti zobrazovače. Hlavní monitor zaujímá právě polovinu vymezeného paměťového prostoru a je na druhém monitoru nezávislý. Druhý monitor je určen výhradně pro sériový styk prostřednictvím dálkopisu nebo terminálu; však také proto se nazývá „sériový monitor“ (serial monitor). Protože je ve dvou EPROM 2716 samostatně volitelných, a dále proto, že hlavní monitor na něm není závislý, nemusí být v jednodeskovém mikropočítači osazen. Místo něj lze využít jeho kapacity pro

Obr. 33. Blokové schéma jednodeskového školního mikropočítače SDK 86





jinou dvojici EPROM 2716 s případným uživatelským (demonstračním) programem. Jeho volání/spouštění však lze realizovat z hlavního monitoru příkazem „GO FE000H“ (což je adresa startu sériového monitoru); nebo — není-li startovací adresa uživatelského programu totožná s počátkem vyhrazené paměťové oblasti — příkazem „GO“ (startovací adresa).

Dekodér paměti programů (typ 3625, PROM) umožňuje, je-li třeba, vybrat další paměťové obvody s uživatelskými programy, umístěné v prostoru FC000 až FCFFFH a FD000H až FFFFFH, tedy o kapacitě dalších osmi kilobitů = čtyř kilobytů. Pro tento účel však již nejsou na desce pevně vyhrazena místa, ale uživatel může přídavné obvody umístit v montážním poli (s objímkami) a potřebné spoje realizovat pájením.

V počítači jsou použity celkem čtyři dekodéry výběru, všechny jsou stejného typu 3625. Naproti tomu je jejich obsah odlišný, je dán adresovým umístěním jimi ovládaných částí (dk.1 pro ROM, dk. 2 pro RAM, dk. 3 pro USART a obvody v-v 1 a 2 a konečně dk.4 pro zařízení či obvody umístěné mimo desku signálem OFF BOARD) a též řídicími signály (viz blokové schéma na obr. 33).

Po alokaci sériového monitoru je vestavěná klávesnice nefunkční, s výjimkou tlačítka „system reset“ a „intr“ (= přerušení). Dále lze mikropočítač ovládat již jen prostřednictvím klávesnice dálnopisu či terminálu. Sériový monitor obsahuje deset povelů, z nichž dva (R = read hex file, W = write hex file) spolupracují bohužel s již překonanou děrnou páskou jako s trvalým paměťovým médiem.

Pracuje-li však mikropočítač jako podružný systém, přičleněný k vývojovému systému Intellec, pak za podpory disketového systému SDK-C86 se sériovým zavlačečem (serial loader) může uživatel programy a data ukládat na disketu a rovněž tak je z diskety kdykoli pohodlně a rychle snímat. Tím je, jak již bylo řečeno, jeho výkonnost značně větší.

Jako u některých operačních systémů (např. u značně rozšířeného CP/M) ani u SDK 86 nemá uživatel k dispozici všechna místa disponibilní paměti RAM. To proto, že některá jsou vyhrazena pro provozní monitor. Tak např. pro vektor přerušení je vymezeno 19 slov (používá se při krokování tlačítkem ST a při zárážkách po povelu GO), dále pro data vlastního monitoru je to 188 slov a pro ukládání zpětných adres skoků dalších 48. Z toho plyne, že z kapacity dvou kilobytů je k dispozici pro uživatele pouze 1792. Proto uživatelské programy mohou být vkládány teprve do adresy 00100H!

Pro paralelní styk s vnějším okolím slouží dvojice programovatelných obvodů 8255A, z nichž první přenáší vyšší slabiku slova — D8 až D15 — a druhý pak nižší druhou slabiku šestnáctibitového slova. Adresy kanálů P1A a P1C jsou FFF9H, FFFBH, FFFDH a kanálů P2A až P2C jsou FFF8H, FFFAH a FFFCH. Sériový programovatelný periferní obvod 8251 je využíván pro sériový styk s vnějším okolím, ovšem prostřednictvím obvodů RS 232C — V.24, jež na něj bezprostředně navazují. A zde lze volit mezi smyčkou 20 mA — např. pro propojení s dálnopisem — nebo napětovým výstupem podle normy V.24 [48], [49]. Volba se realizuje kolíkovými dvoupolovými spojkami (jumper). Rovněž

tak se jednou spojkou volí příslušná přenosová rychlost, stupňovitě v rozmezí 75 až 4800 bit.s<sup>-1</sup>. Adresa pro zápis a čtení dat z USART je FFF0H, adresa pro čtení statusu a zápis povelového slova je FFF2H.

Další programovatelný periferní obvod, tvořící jeden z hlavních bloků zapojení, je řadič klávesnice a zobrazovače, typ 8279. Tento obvod byl využíván již u klávesnice osmibitových mikropočítačů, např. i u stavebnice SDK 85. Slouží k dekodování stisku osmi funkčních a šestnácti hexadecimálních tlačítek, jakož i k řízení zobrazování čtyřmístných dat a pětímístné adresy včetně označení registrů či segmentů a jejich obsahu atd.

Vzhledem k tomu, že lokální sběrnice mikroprocesoru 8086 obsahuje multiplexované data a adresy, zajišťuje v daném případě oddělení adres trojice střadačů 74LS373. Proti typům 8282 jim byla zřejmě dána přednost pro menší příkon — 24 mA proti 160 mA — i když se nejedná o obvody ze série Intel. Uvolnění obvodů, přebírání a podřízení adresy zajišťují řídicí signály HLDA a ALE procesoru. Oboustranný pohyb dat se děje přes oddělovací zesilovače 8286, u nichž směr přenosu je řízen signálem DT/R. Je zajímavé, že oddělovací zesilovače jsou využívány pouze k rozšíření mikropočítače; k pamětím ROM i RAM i k obvodům v-v jsou přiváděna data přímo z multiplexované lokální sběrnice. Přijem správné složky multiplexovaných signálů pak zjišťují vhodné načasované uvolňovací signály výběru obvodů, přiváděné na vstupy CS či OE.

Mikropočítač pracuje v minimálním způsobu, proto se v daném zapojení neshledáme se systémovým řadičem sběrnice 8288. Tato skutečnost však v daném případě není na závadu a přispívá k zjednodušení celkového zapojení.

Po zapnutí mikropočítače se automaticky přihlásí hlavní monitor iniciálami 86 na pátém a šestém místě zobrazovače (počítáno zprava), čímž stvrzuje připravenost k příjmu povelů. Tytéž iniciály se objeví i po iniciaci tlačítkem „syst. reset“. Klávesnice, která má osm funkčních a šestnáct hexadecimálních tlačítek, umožňuje následující operace:

- 1) čtení a změnu obsahu všech registrů procesoru 8086 včetně segmentových registrů pro rozšíření paměti,
- 2) zadání vlastního/uživatelského programu včetně jeho spuštění/provedení,
- 3) kontrolu provádění programu buď po krocích, nebo vloženými zárážkami (breakpoints) po úsecích,
- 4) výběr a přesun paměťových bloků/úseků v adresovém rozsahu jedné megaslabiky,
- 5) přímé vydávání dat a jejich přebírání prostřednictvím paralelních programovatelných obvodů v-v 8255A,
- 6) inkrementování adresy (tlačítkem „+“) za účelem postupného zjišťování obsahu dat příslušných paměťových buněk,
- 7) přímé operace sčítání a odečítání hexadecimálních čísel až k čtyřmístným hodnotám; tak lze pohodlně vypočítat efektivní (fyzikální) adresu paměťového místa.

Při provozu mikropočítače SDK 86 je si však třeba zvyknout na to, že na začátku požadované operace je třeba stisknout odpovídající povelové tlačítko 0 až 9. Pověly jsou:

EB (examine byte) — zobraz nebo modifikuj slabiku paměťového místa o následující adrese,

EW (examine word) — zobraz nebo modifikuj slovo paměťových buněk začínající na následné adrese,

ER (examine register) — zobraz nebo modifikuj obsah registru následného označení,

IB (input byte) — zobraz slabiku ze vstupní brány následné adresy,

IW (input word) — zobraz slovo ze vstupní brány následné adresy,

OB (output byte) — vydej datovou slabiku výstupní branou následné adresy,

OW (output word) — vydej datové slovo výstupní branou následné adresy,

GO (go) — předej řízení z monitoru uživatelského programu začínajícímu na následné adrese k zárážce — je-li zadána — nebo až do konce,

MV (move) — přesuň blok dat v paměti, začínající na následné adrese až do ukončovací adresy na místo označené další adresou,

ST (step) — proved' jednu instrukci uživatelského programu od následující adresy.

Z uvedeného plyne, že nejpoužívanější povely jsou EB a EW, sloužící k zadání dat instrukčního kódu na příslušné adresy a tak k uložení uživatelského programu. Ten se pak odlaďuje po krocích nebo úsecích při příp. prohlížení obsahů segmentů, popř. i paměťových míst zvolených pro ukládání mezivýsledků. Označení registrů tak, jak je zobrazováno na displeji na pátém a šestém místě zprava, je toto:

AX (accumulator) — střadač,

BX (base) — báze,

CX (count) — čítač,

DX (data) — data,

SP (stack pointer) — ukazatel zásobníku,

BP (base pointer) ukazatel báze,

SI (source index) — zdrojový index,

DI (destination index) — cílový index, index určen,

CS (code segment) — kódový segment,

DS (data segment) — datový segment,

SS (stack segment) — zásobníkový segment,

ES (extra segment) — zvláštní segment,

IP (instruction pointer) — ukazatel instrukce,

FL (flags) — stavové/příznakové indikátory/bity.

Funkční tlačítka mají tento význam:

SYST RESET (systém reset) — ukončuje jakoukoli činnost mikropočítače a vrací jej do výchozího stavu připravenosti, indikovaného iniciálami 86,

+ (plus) — umožňuje sečíst dvě hexadecimální čísla, což ulehčuje relativní adresování,

- (minus) — umožňuje odečíst jedno hexadecimální číslo od druhého,

: (colon) — tlačítko, označené dvojtečkou, umožňuje oddělit adresu do dvou částí, segmentové a ofsetové,

, (comma) — tlačítko, označené čárkou, umožňuje oddělit vstupní data z klávesnice, dále pak inkrementovat adresu s jejím zobrazením jakož i příslušná data,

. (period) — tlačítko, označené tečkou, se používá pro zakon-

INTR (interrupt) — používá se ke generování okamžitého nemaskovatelného přerušení typu 2 (NMI),

REG (register) — umožňuje využívat obsah kteréhokoliv registru jako adresového nebo datového záznamu.

Displej pak znázorňuje tyto informace:

- obsah zvoleného registru nebo paměťového místa,
- odezvu stisku kteréhokoliv hexadecimálního tlačítka,
- znak činnosti monitoru "." (prompt),
- označení registru, adresy či zprávu o chybě.

Displej se dělí na dvě části o čtyřech místech; levá polovina je adresové pole, pravá pak datové. A protože adresa je pětimístná, znázorňuje se při zadání nejprve čtyřmístná (šestnáctibitová) hodnota segmentu v adresovém poli a po oddělení dvojtečkou čtyřmístná (šestnáctibitová) hodnota offsetu. Sečtením obou hodnot (s posuvem segmentové) se obdrží fyzická pětimístná (dvacetibitová) adresa, tedy takto:

segmentová hodnota

F E 0 0

offsetová hodnota

+ 1 0 7 A

F F 0 7 A = fyzická adresa

Mikropočítač SDK 86 vyžaduje v provozu napájení ze zdroje +5 V (proud asi 3,5 A), je-li připojen dálkopis, pak ještě napětí -12 V/0,3 A. Hmotnost osazeného mikropočítače je asi 1 kg (bez zdroje), rozměry jsou 34,3 × 30,5 × 4 cm<sup>3</sup>.

— Mikropočítač je vhodný především pro učební a demonstrační účely. Lze jím však i řídit jedno či víceúčelové procesy.

### Modulový šestnáctibitový mikropočítač osobního typu

Vzhledem k tomu, že šestnáctibitové mikropočítače vyžadují proti osmibitovým složitější dekodéry a dvojnásobný počet paměťových obvodů RAM, dále tím, že mají větší pracovní rychlost a rovněž obsáhlejší adresovatelnost paměťového prostoru a jsou podstatně složitější, vyplývá ze výrobců mikropočítačových systémů — při vynaložených nákladech — navrhnout, vyvinout a přinést na trh již komfortní výpočetní prostředek — osobní počítač (personal computer).

Název osobní počítač ovšem nemusí vždy znamenat, že se jedná o šestnáctibitový mikropočítač; jsou známy úspěšné konstrukce osobních počítačů velké výkonnosti s osmibitovým mikroprocesorem Z80B nebo Z80H (s taktkem 6 MHz nebo 8 MHz), např. západoevropský „PC+“ pracující s CP/M verzí 3.0 (tzv. CP/M plus) apod. Rovněž tak i quasi — vzor celé řady výrobců — počítač IBM PC — není (s výjimkou PC AT) „pravým“ šestnáctibitovým mikropočítačem, neboť pracuje s mikroprocesorem I8088. A již víme, že pouze jeho vnitřní datové slovo je šestnáctibitové, neboť s vnějškem komunikuje jen osmibitovou datovou sběrnicí.

Následující ukázka se však týká „klasického“ modulového šestnáctibito-

vého mikropočítače, kompatibilního s počítači IBM. Jeho modulárnost spočívá v tom, že je konstruován na čtyřech deskách evropského formátu o rozměrech 100 × 160 mm. Ty mohou být doplňovány podle potřeby dalšími deskami, např. deskou akustického výstupu, barevné grafiky, deskou paměti RAM-floppy, deskou paměti EPROM-floppy apod.

Srdcem systému je deska CPU, na níž je mimo mikroprocesor 8086 ještě numerický koprocessor 8087, řadič přerušení 8259A, dvě paměti EPROM 2732 (nebo 2764) a další drobné součástky. I když je deska vybavena objímkou pro numerický koprocessor 8087, je schopna pracovat i bez něj, pochopitelně v součinnosti s dalšími moduly.

Druhý modul tvoří deska paměti RAM, jež nese dvaatřicet dynamických pamětí typu 4864-25; má tedy kapacitu 256 kilobyt (= 128 kilobit). Pro použití, vyžadující větší kapacitu operační paměti, lze zařadit až tři tyto paměťové moduly, čímž se získá systémová operační paměť 768 kilobyt (KB). Každá paměťová deska je samostatně adresovatelná obvodem 74LS138 s návaznou logikou. Dále je vybavena oddělovacími zesilovači typu 74LS244, 74LS245 a 74LS241, takže sběrnice nejsou proudově přetěžovány.

Kontakt s „vnějškem“ zajišťuje třetí modul — deska vstupů a výstupů. Ta je vybavena programovatelným sériovým obvodem 8251A s časovačem 8253A a paralelním třikanálovým stykovým obvodem 8255A, poskytujícím uživateli 24 linek v-v. Platí totéž, co bylo uvedeno o desce druhého modulu; desky v-v mohou být řazeny paralelně, aby se dosáhlo požadovaného počtu paralelních či sériových linek v-v. Obvykle se však vystačí s jednou deskou, jež umožňuje připojit paralelně jak tiskárnu, tak i obrazovkový terminál.

Pokud by mikropočítač neměl pracovat s vnějšími paměťovými médii — pružnými disky — pak je popsána třidesková konfigurace již provozuschopná. Její provoz zajišťuje provozní program/monitor, obsahující osmnáct hlavních povelů [28], [30]. (Z hlediska praxe umožňují vše, co poskytovala deska povelů mikropočítače SDK 86, ba ještě něco navíc, ovšem při indikaci zadání a výsledků jen na stínítku obrazovky.)

Pro komfortní provoz s disketové orientovaným operačním systémem (DOS) je však potřebný čtvrtý modul — deska řadiče pružného disku. Ta je vybavena moderním typem řadiče (WD2797 výrobce Western Digital, či

SAB2797 výrobce Siemens AG), jež vestavěným oddělovačem a kompenzační zápisu představuje současné max. zjednodušení styku. Tím je podstatně zjednodušeno i výchozí nastavení tohoto stykového modulu, umožňující připojit až 8 různých pohonných jednotek pružných disků.

Teprve disketový operační systém vytváří z mikropočítače víceméně dokonalý nástroj, jež svými vlastnostmi ulehčuje a racionalizuje práci uživatele. Stupeň komfortu je dán použitým operačním systémem; z těch se nejvíce prosadily CP/M-86 (firmy Digital Research) MS-DOS (firmy Microsoft) a PC-DOS, pro několikaprocessorové systémy pak UNIX, popř. XENIX.

Popisovaný osobní počítač c't pracuje s operačním systémem CP/M-86.

### Modul č. 1 — deska CPU

je osazena celkem 22 integrovanými obvody (obr. 34). Procesor 8086 je v běžném provozu řízen taktkem odebraným z generátoru taktu 8284A. Má-li však procesor pracovat s taktkem odlišného kmitočtu, pak se přeloží spojka B1 na napájecí napětí a přivede externí signál na vstup č. 14. Tím se ovšem obvod 8284A nestane přebytočný, i nadále synchronizuje nulování (reset) či vyčkávání (wait). 8086 pracuje pochopitelně v maximálním způsobu; proto v zapojení nechybí řadič sběrnice 8288. Ostatně maximální způsob je předpokladem pro připojení numerického koprocessoru 8087. Ten však — jak již bylo řečeno — nemusí být na desce osazen; pokud je použit, dosahuje se u řady programů podstatného zkrácení prováděcích časů. Proto se mu mnohdy přezdíívá „drtič čísel“.

Ke správnému zpracování přerušení je deska vybavena řadičem přerušení 8259A, jež poskytuje osm úrovní přerušení (viz dříve).

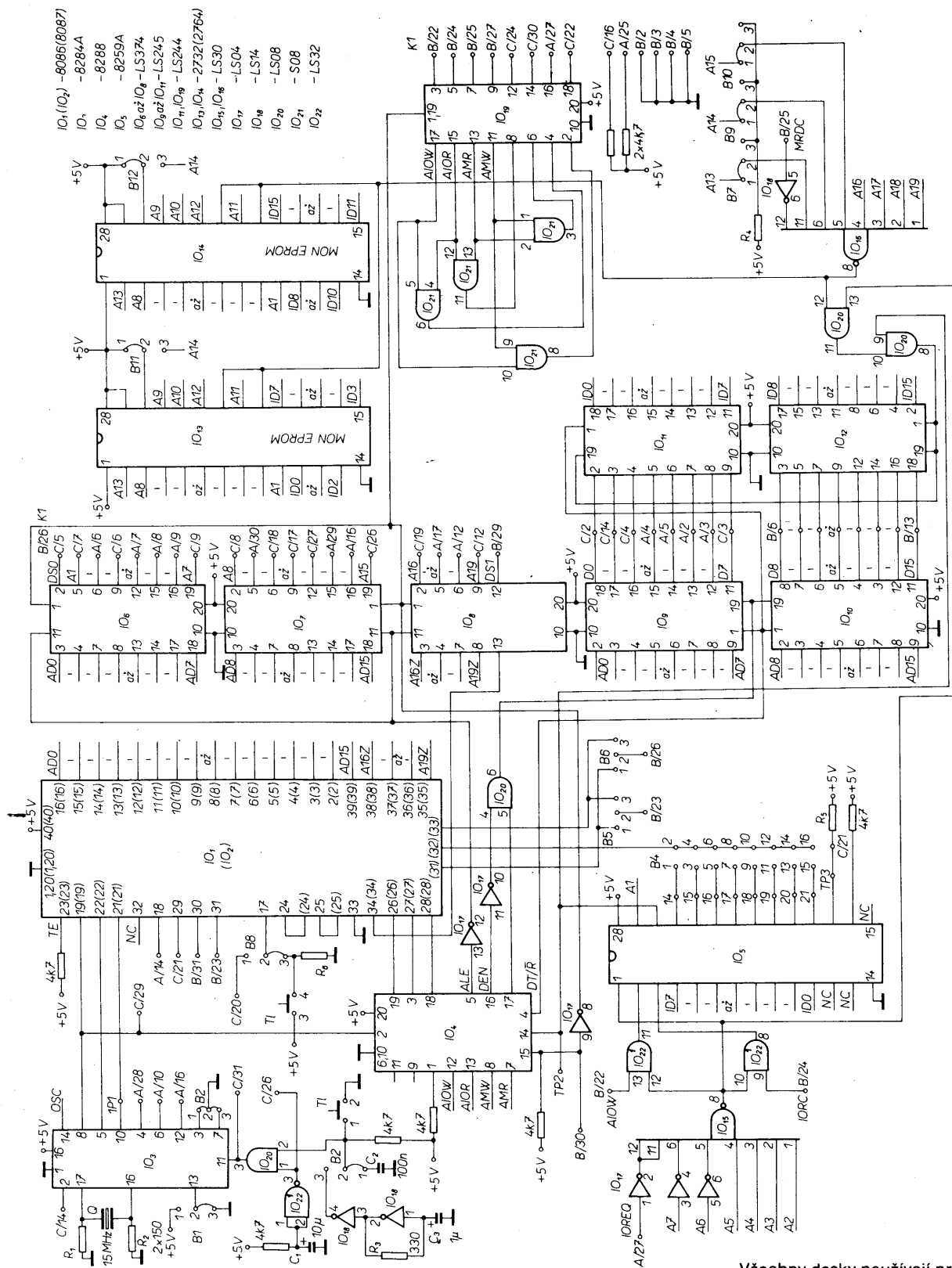
Na desce CPU jsou i dvě objímky pro paměti EPROM s provozním obslužným programem. Ten se vyskytuje ve dvou verzích — 4 kilobyt a 8 kilobyt — a může být v případě potřeby rozšířen až na 16 kilobyt. Pro tento účel má na desce vyhrazený adresový prostor 32 kilobyt. Podle [28] se totiž předpokládá přerušení, jaká jsou používána na počítačích IBM-PC.

Multiplexovanou lokální sběrnicí od adresy odděluje tentokrát vícenásobné klopné obvody D -74LS374, 3x, řízené invertovaným signálem ALE. Datová sběrnice je připojena k systémové přes obousměrné oddělovací zesilovače 74LS245 (2x 2).

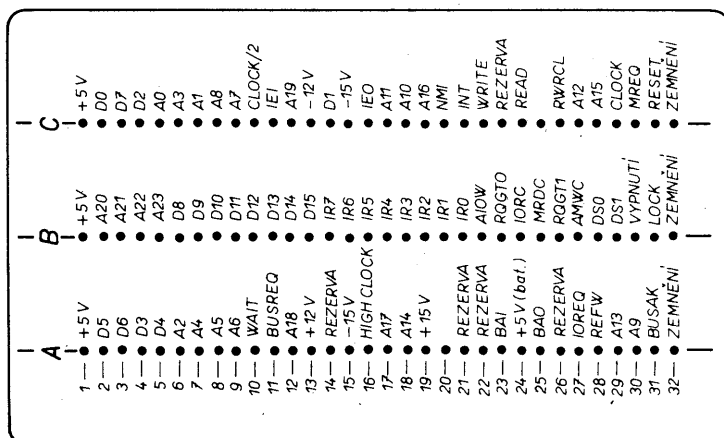
V zapojení je celá řada spojek (B1 až B11), umožňujících různé funkce:

deska CPU

Spojka	Funkce	Poznámka
B1	připojení externího taktu	spojeno 1—2 = externí takt
B2	zapojení pro „reset“ pro vyhledávání chyb	spojeno 1—2 = iniciace (reset) tlačítkem
B3	zavedení vyčkávání	spojeno 1—2 = „wait“ od paměti
B4	přerušení od koprocessoru	0,1—2 až 15—16, volba priority
B5, B6	cyklus přímého přístupu do paměti DMA	obě rozpojeny
B7, B9, B10	rozsah paměti EPROM	B7 B9 B10 1—2 1—2 1—2 po 4 KB 2—3 1—2 1—2 po 8 KB 2—3 2—3 1—2 po 16 KB
B11, B12	volba typu paměti EPROM	B11 B12 1—2 1—2 = 2732 rozpojeno = 2764 2—3 2—3 = 27 128 spojeno 2—3
B8	nemaskovatelné přerušení generované tlačítkem	



Obr. 34. Zapojení modulu č. 1 osobního počítače  
čt — deska CPU



Obr. 35. Rozšířená systémová sběrnice ECB

Všechny desky používají pro propojení se systémovou sběrnici nepřímé konektory s 3 × 32 vývody, přičemž rozmístění signálů odpovídá tzv. sběrnici ECB (ECB-bus) [48]. Schematický náčrt konektoru a označení jeho vývodů je na obr. 35. Uvádíme jej proto, že v zapojení jednotlivých modulů jsou spoje vedoucí k systémové sběrnici označeny právě pořadovými čísly a písmenným znakem té či oné řady konektoru. To sice nepřispívá k lepší orientaci, vyjadřuje však návaznost spojů a signálů mezi jednotlivými deskami.

Signály (spoje), jež vedou na některou řadu nepřímého konektoru, jsou v zapo-

Spojka	Funkce	Poznámka
B1	volba počtu osvěžovacích cyklů, 128 nebo 256	podle použitých paměťových čipů 1—2 = 128 cyklů
B2	vydání vyčkávacího signálu při použití několika paměťových desek	B2 se spojí na první desce; jinak rozpojeno
B3	volba adresového rozsahu po 256 KB nebo 128 KB	B3 1 B—C 0 až 1FFFFH, " IO <sub>19</sub> až IO <sub>34</sub> B3 1 B—A 2 B—C 0 až 3FFFFH, " IO <sub>19</sub> až IO <sub>50</sub> a dále podle umístění desky

<sup>1)</sup> platí pro paměťovou desku umístěnou na logické první pozici!

ní vyznačeny vždy kroužkem a písmenným označením řady (A, B nebo C) lomeným číslem vývodu, např. C/27.

V zapojení desky CPU na obr. 34 je pozice mikroprocesoru 8086 jakož i koprocessoru 8087 označena jedním společným obdélníkem. To proto, že většina vývodů obou procesorů má stejné funkční označení a proto tyto vývody jsou spolu propojeny. Např. vývod č. 1 procesoru 8086 s vývodem č. (1) koprocessoru 8087, vývod č. 2 s vývodem č. (2), atd., přičemž číselné značení v kulatých závorkách se vždy vztahuje ke koprocessoru 8087. Tím se zapojení stalo přehlednější, neboť je na první pohled vidět, které z uvedených vývodů jsou využity sólově – jsou to vývody č. 17, 18, 29, 30, 31, 32. Vývody (17), (18), (29), (30), (31) koprocessoru jsou nefunkční, vývody č. (31) a (32) mají

odlišnou funkci.

V zapojení pracuje i neobvyklý kmitavý obvod – 1/2 74LS14, který lze připojit spojkou B2 na iniciační vstup generátoru taktu 8284. Jeho význam podle [28] spočívá v usnadnění vyhledávání chyb v systému.

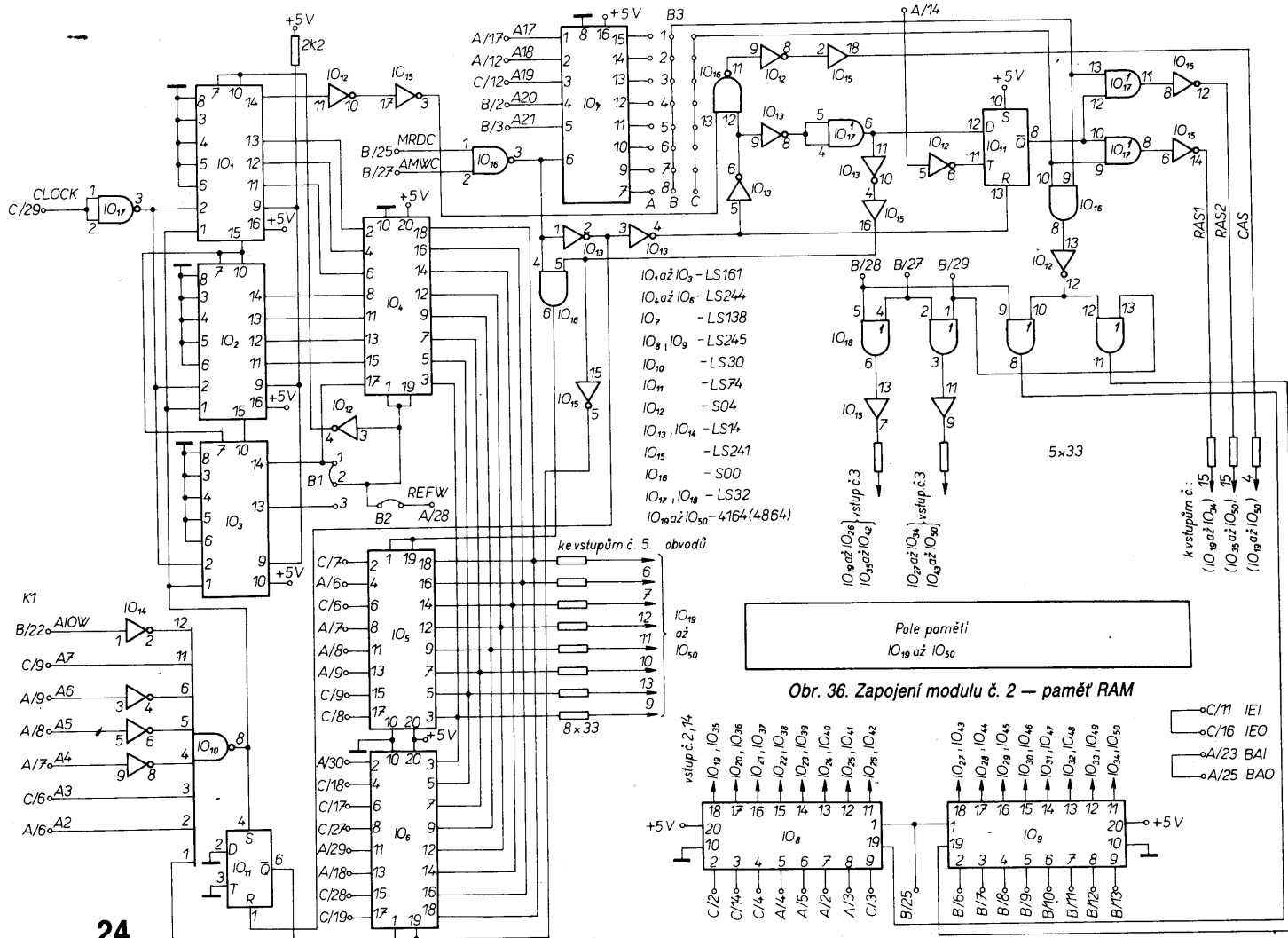
#### Modul č. 2 – deska operační paměti RAM

Deska operační paměti (obr. 36) je určena pro osazení dynamických pamětí se 128 nebo 256 cykly obnovy dat typu 4164, 4864 a obdobných. Protože dynamické paměti vyžadují k svému provozu signály RAS/CAS, jsou tyto generovány přímo na desce. Počet cyklů pro obnovu dat se volí polohou spojky B1. Generování cyklů pro obnovu dat přímo na desce má tu výhodu, že modul operační paměti je

použitelný ve spojení i s deskou CPU, osazenou jiným procesorem než 8086, pokud ovšem je použita i systémová sběrnice ECB.

Ke generování impulsů RAS a signálů multiplexu je využito běžných kombinačních a sekvenčních obvodů TTL. Logikou hradel, zejména IO<sub>16</sub> (74S00), je zajišťováno, je-li na sběrnici požadavek přístupu do paměti. Je-li tomu tak, je spodní část adresové sběrnice připojena k pamětem. Současně je uvolněno dekodování adresy dekodérem IO<sub>7</sub> (74LS138). Logický součin signálů sběrnice B/25 a B/27 je zpožděn třemi invertory IO<sub>13</sub> (74LS14). Za dalším součinným hradlem IO<sub>16</sub> (1/4 74S00) je k němu přidán alternativní signál RAS (odvozený z taktu obvodem IO<sub>1</sub>), jenž zajišťuje obnovu dat (refresh) dynamických pamětí. Předtím je však signál ještě jednou invertován, zpožděn a zesílen. Tím je zajištěno, že adresy jsou při příchodu signálu RAS již ustálené. Ze vstupu č. 12 obvodu IO<sub>16</sub> je signál RAS snímán; po krátké prodávě, asi 125 ns, je RAS vypnut. O něco později (po 25 ns) je k pamětem připojena horní část adresové sběrnice a signál CAS je synchronně spuštěn při příští týlové hraně taktovacího impulsu.

Při každém přístupu k paměti je generován signál RAS. Ten, vzhledem k dělení paměti na dva bloky, je klopným obvodem IO<sub>11</sub> též dělen na dva signály, a sice RAS1 a RAS2. To má tu výhodu, že při kterémkoli přístupu k jakékoli paměťové buňce a nezávisle na tom, zda leží v oblasti ROM nebo RAM, je vložen cyklus obnovy pro celý paměťový rozsah. Souhlasí-li pak adresový rozsah s požadovaným, je generován též signál CAS. Signály RAS a CAS



Obr. 36. Zapojení modulu č. 2 – paměť RAM

jsou tedy vytvářeny při každém cyklu čtení či zápisu.

Obvody IO<sub>1</sub> až IO<sub>4</sub> na desce RAM generují adresy pro obnovu dat. Podle katalogových údajů výrobce vyžadují použití paměťové obvodu osvěžení každé dvě milisekundy. V tomto čase musí být vykonán přístup ke všem řadám buněk paměti (řadová obnova). Spuštění cyklu obnovy dat je odvozeno z přerušení, jež je na desce vstupů a výstupů (modul 3) generováno časovačem každé dvě milisekundy. Tímto přerušením je vyvolána přerušovací obsluhová rutina, obsahující tři povely: OUT REFRESH (nulování čítače adres pro obnovu dat), STI (uvolní přerušení) a RET (návrat do programu). Prvním povellem je nejen vynulován čítač IO<sub>1</sub> až IO<sub>3</sub>, ale generován též vyčkávací signál. Dále jsou čítačem sekvencně generovány jednou všechny adresy obnovy, jež jsou přes IO<sub>4</sub> přiváděny na datové vstupy paměťových obvodů IO<sub>19</sub> až IO<sub>50</sub>; čítač sám je buzen signálem taktu (C/29), přivedeným na vstupy 1+2 hradla IO<sub>17</sub>.

Obvod IO<sub>10</sub> (74LS30) sply s inventory IO<sub>14</sub> tvoří dekodér, na jehož vstupy jsou mimo zápisový signál ALOW přivedeny adresové linky A2 až A7. Ze zapojení je patrné, že výstupem dekodéru je čítač

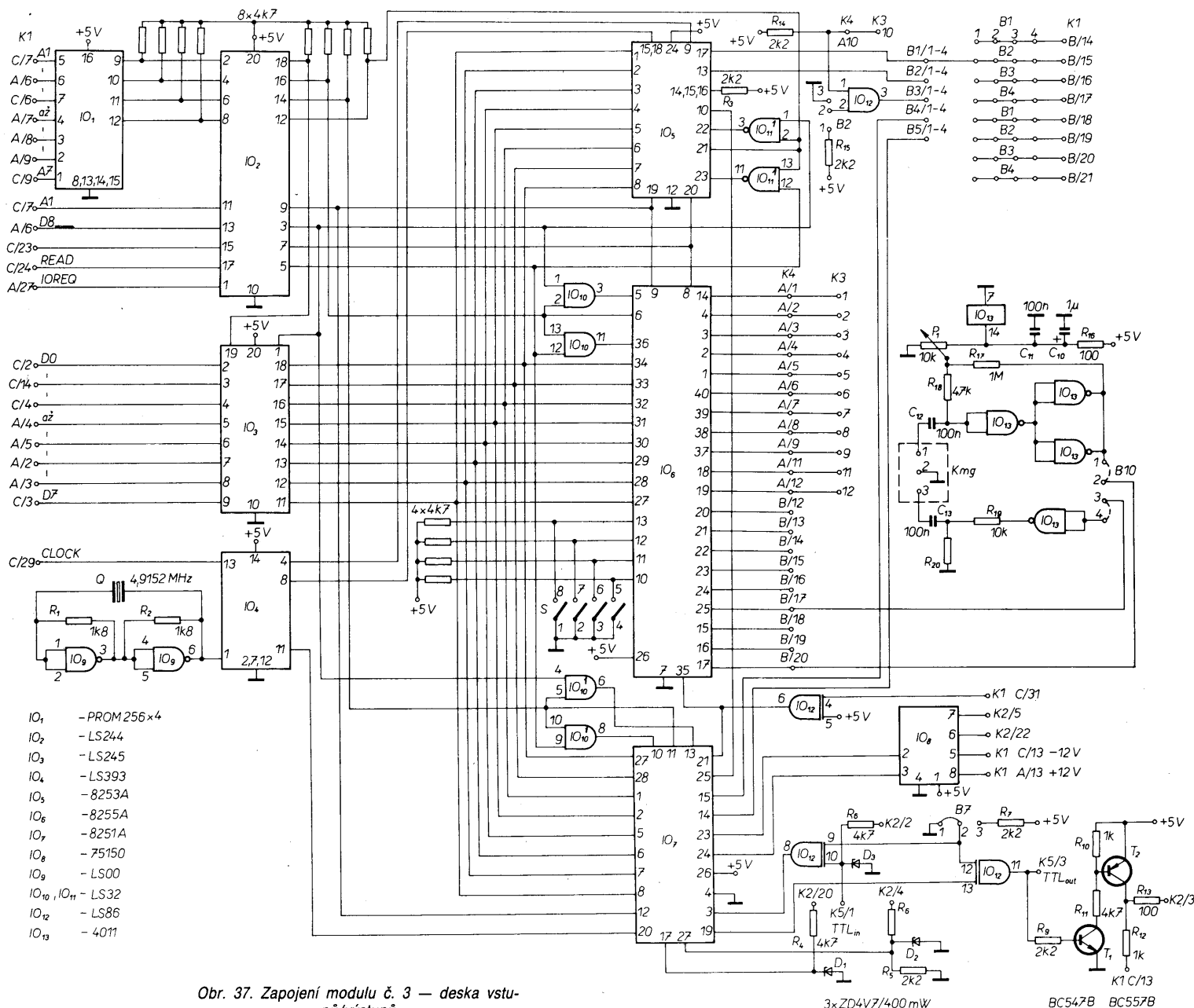
obnovy nulován, a to při adrese brány 8Bh až 8Fh. Z výstupu dekodéru je však ještě zavedena zpětná vazba na klopný obvod IO<sub>11</sub> (1/2 74LS74), jenž blokuje ve vhodný okamžik trvalé vkládání obnovovacích cyklů. Zjistilo se totiž, že v běžném provozu není nutná obnova každé dvě milisekundy; v praxi se vystačí s intervalem obnovy 30 až 100 ms, což přispívá ke zkrácení neúčinného času CPU, podmíněného cykly obnovy. Je to ovšem proti údajům výrobce paměti. Uvážíme-li dále nepříznivý vliv teploty na interval cyklu obnovy paměti DRAM, je prodloužení nad doporučenou mez riskantní (i když zefektivňuje činnost procesoru), neboť může vést k případným ztrátám paměti a tím i zhroucení právě probíhajícího programu. V popisovaném případě – vlivem daného zapojení a programového vybavení – je cyklus obnovy dat vykonán každých 10 ms.

Paměťová deska může být osazena jen polovinou paměťových obvodů, pochopitelně v dolní části rozsahu. Volba poloviny rozsahu (128 KB), nebo celého rozsahu (256 KB), jakož i umístění desky v možném adresovém prostoru počínaje 00000H, nebo 80000H až BFFFFH se realizuje spojkami B3.

### Modul č. 3 – deska vstupů a výstupů

U této desky (obr. 37) je dekodér výběru stykových obvodů tvořen pamětí PROM – IO<sub>1</sub> (analogon 74S287). To má tu výhodu, že při její výměně za jinak naprogramovanou lze desku provozovat v jiné adresové oblasti. Výstupy z dekodéru jsou ošetřeny oddělovacími zesilovači IO<sub>2</sub> (74LS244), jehož druhá čtveřice je využita pro zesílení systémových signálů.

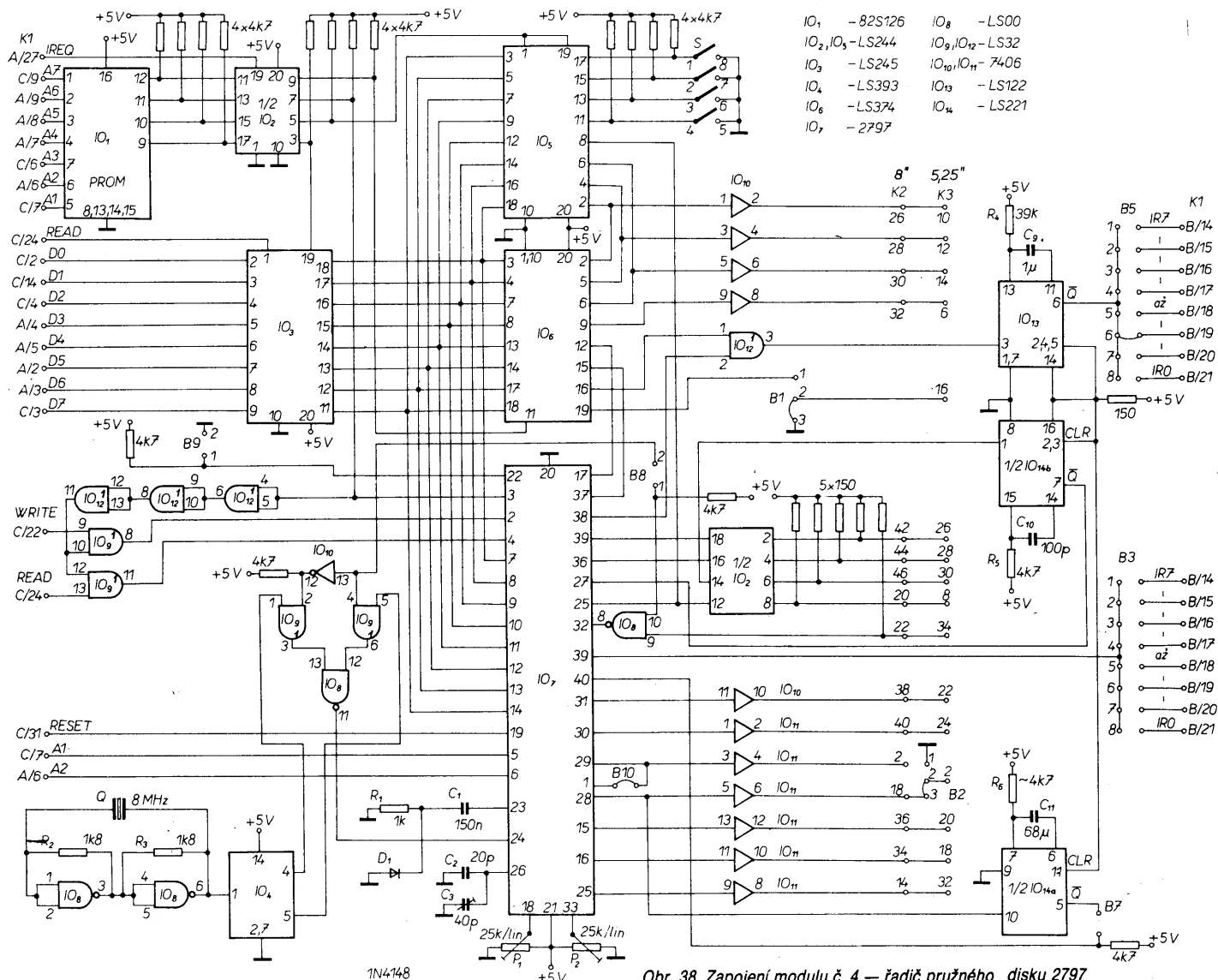
Na desce se nachází oscilátor IO<sub>9</sub> (74LS00), stabilizovaný krystalem o kmitočtu 4,9152 MHz. Takt je přiváděn na IO<sub>4</sub>, 74LS393, sloužící k vytvoření potřebné přenosové rychlosti pro sériový stykový obvod IO<sub>7</sub>, 8251A. Aby však bylo možné ovládat přenosovou rychlost i programově, je dvojitý binární dělič IO<sub>4</sub> propojen s časovačem IO<sub>5</sub> – 8253A, jenž – jak bylo uvedeno – generuje též přerušení pro obnovu obsahu dynamických pamětí RAM. U paralelního stykového obvodu IO<sub>6</sub>, 8255A, jsou čtyři linky kanálu C (PC4 až PC7) připojeny ke čtveřici rezistorů napájených z +5 V, jež mohou být uzemňovány čtveřicí spínačů. Těmito spínači lze nastavit libovolnou tetradu v rozsahu 0000 až 1111. A protože uvedená polovina kanálu C je programově určený okamžik čtena, zjistí procesor, jaká kombinace



Obr. 37. Zapojení modulu č. 3 – deska vstupu/výstupů

3xZD4V7/400 mW

BC547B BC557B



Obr. 38. Zapojení modulu č. 4 – řadič pružného disku 2797

byla uživatelem nastavena; dané nastavení je překódováno na požadovanou přenosovou rychlost a přivedeno na časovač IO<sub>5</sub>, jenž již budí sériový stykový obvod šestnáctinásobkem požadované přenosové rychlosti do jeho vstupů Rx a Tx.

Sériový styk s vnějším okolím je realizován dvěma způsoby. Je to jednak styk v úrovni TTL přes hradla IO<sub>12</sub>, kde vstup a výstup informace je možný i inverzní podle normy RS 232C, jednak jako signály V.24 prostřednictvím obvodu 75150 [51].

Deska v-v dále umožňuje prostřednictvím paralelního obvodu styku 8255A i připojení běžného (analogového) magnetofonu jako paměťového média. To ovšem přichází v úvahu zřejmě jen tehdy, je-li používán systém třimodulový, tj. bez desky řadiče pružného disku a jeho pohonné jednotky. Ten se připojuje ke konektoru K5; výstupní signál z počítače se odebírá z linky PB7 kanálu B IO<sub>6</sub>, vstupní je přiváděn na linku PC3 kanálu C IO<sub>6</sub>. Jak vstupní, tak i výstupní signál procházejí hradly/inventory obvodu IO<sub>13</sub>, na něž se dostává (je-li kazetový magnetofon vyžadován) vloženými spojkami B8.

Jednotlivé kanály stykového obvodu IO<sub>6</sub> jsou při iniciaci procesoru naprogramovány takto: kanál A jako výstupní, kanál B jako vstupní a kanál C jako výstupní svými dolními bitovými linkami

a jako vstupní svými horními bitovými linkami PC4 až PC7. Mimo ty již vzpomínané čtyři linky jsou všechny ostatní přivedeny na konektor K4 a tak k dispozici uživateli, ať již pro připojení tiskárny s rozhraním Centronics [49], klávesnice či jiných periférií.

Pokud se týká spojek B1 až B7, je prvních pět (tj. B1 až B5) určeno pro výběr typu přerušení, přičemž spojkou B6 je volena polarita přerušovacího impulsu. B1 tedy volí přerušení pro cyklus obnovy dat, B2 pro přidělovač, organizátor přerušování (scheduler), B3 pro tiskárnu, B4 pro vysílání a B5 pro příjem požadavku na přerušování sériovým stykovým obvodem. B7 pak volí polaritu výstupního signálu sériového stykového rozhraní RS232C. Polohy jednotlivých spojek jsou vyznačeny v celkovém zapojení desky vstupů a výstupů na obr. 37.

#### Modul č. 4 – deska řadiče pružných disků

Ústřední součástí desky – obr. 38 – je moderní řadič 2797, IO<sub>7</sub>, jenž generuje veškeré řídicí signály pro pohonnou jednotku (jednotky) pružného disku = disketu (step, dir, side select, write-gate, write-data, track greater 43). Řadič rovněž zpracovává pomocné signály snímané z pohonné jednotky (index, read, write protected, ready). Všechny signály, jež jsou vysílány na pohonnou jednotku či z ní přicházejí, procházejí oddělovacími zesilovači IO<sub>2</sub> a IO<sub>10</sub>. Tak je zajištěno, že případný defekt pohonné jednotky neohroží obvod řadiče. Řadičí signály jsou

přiváděny či odebírány z dvojice konektorů K2 a K3, z nichž první, padesátipólový, je určen pro připojení osmipalcových standardních jednotek, druhý pro připojení minidisketových jednotek 5,25", případně i mikrodisketových jednotek (kompatibilních s minidisketovými).

Na desce je i generátor synchronizačního signálu (IO<sub>8</sub> – 1/2 74LS00) s krystalem 8 MHz, na něj navazuje binární dělič IO<sub>9</sub>, 74LS393. A protože řadič potřebuje jiný kmitočet pro standardní disketu (2 MHz) a jiný pro mini a mikro (1 MHz), obstarává přepínání zvoleného kmitočtu logika složená ze dvou hradel OR (IO<sub>5</sub>, 1/2 74LS32) a jednoho hradla NAND (IO<sub>6</sub>, 1/4 LS7400) včetně invertoru IO<sub>10</sub>, 1/6 74LS06.

Nastavení zvolené pohonné jednotky přebírá výstupní brána, jež je tvořena obvodem IO<sub>6</sub>, 74LS374. Ten též zajišťuje zapínání motoru pohonné jednotky. Obvod IO<sub>5</sub>, 74LS244, umožňuje programově čistě tetradu nastavenou spínači S, vyjadřující jak rychlost krokování hlavy, tak i typ hustoty a druh diskety zvolené uživatelem, a to:

spínač S<sub>4</sub> – rychlost krokování R1: 0 0 1 1  
čas v ms pro 5,25": 6 12 20 30

spínač S<sub>3</sub> – rychlost krokování R0: 0 1 0 1  
čas v ms pro 8": 3 6 10 15

spínač S<sub>2</sub> – hustota diskety: 1 = jednoduchá, 0 = dvojité,

spínač S<sub>1</sub> – druh diskety: 1 = 8", 0 = 5,25". Pokud by bylo zapotřebí připojit k počítači (desce) více než čtyři pohonné jednotky, např. osm, pak jsou vybírány dekodérem 1 z 8 typu 74LS138, umístěným mimo



modul č. 4, jenž je buzen signály DS0, DS1 a DS2 z desky do svých vstupů A, B a C. Jeho výstupy Y0 až Y7 pak již poskytují výběrové signály DS0' až DS7'.

Adresování desky je opět dáno obsahem paměti PROM IO<sub>1</sub>, 82S126, jež pracuje ve funkci dekodéru výběru. Signály z jejich výstupů po projití obvodem IO<sub>2</sub>, 1/2 74LS244, řídí tedy uvolňování IO<sub>3</sub>, IO<sub>5</sub>, IO<sub>7</sub> (řadič) a konečně IO<sub>6</sub>, pochopitelně v požadované sekvenci. To ostatně vyplývá z obsahu buněk na adresách 40 až 45 tabulky:

adresa	hodnota (hex)
0 až 3F	F
40	6
41	6
42	6
43	6
44	5
45	3
46 až FF	F

Představíme-li si hodnoty adresových buněk v bitovém vyjádření, tj. 0110, 0101 a 0011, vidíme, že ze čtyř obvodů jsou vždy dva uvolněny. Je zřejmé, že výměnou za jinou PROM či přivedením jiných adresových linek na její vstupy lze jednoduše změnit adresaci desky.

Monostabilní klopný obvod IO<sub>14a</sub>, 74LS221, zajišťuje spolu se spojkou B7 potřebné časové zpoždění pro stabilizování hlavy jednotky, než mohou být ukládána platná data. Zpoždění je dáno vztahem  $t_{zp} = 0,7R_6C_{11}$ ; je možno je tedy podle použitého typu pohonné jednotky případně měnit změnou odporu rezistoru či kapacity kondenzátoru. Druhý monostabilní obvod, IO<sub>14b</sub>, 1/2 74LS221, definuje délku čtecích impulsů z jednotky. Tím je dosaženo větší spolehlivosti přenosu.

Rovněž monostabilní obvod IO<sub>13</sub>, 74LS122, slouží ke zvětšení spolehlivosti zápisu a čtení. Je nastaven na začátku každé operace čtení či psaní a kontinuálně znovu nastavován, byla-li operace okamžitě úspěšná. Protože řadič se snaží při neúspěšné operaci po dobu pěti otáček jednotky získat přístup, nebylo by v této době realizováno obnovení obsahu paměti. To by ovšem mohlo znamenat ztrátu dat; aby se tomu zabránilo, přeruší se uvedená funkce řadiče.

Tak se však vytváří poněkud komplikovaný čtecí či zápisový přístup. Má-li být čten nějaký sektor, synchronizuje se řadič na tento sektor, nad nímž se právě nachází univerzální hlava. Je-li to (případně) sektor, ležící před sektorem, určeným k čtení, je započato se čtením asi 1 ms před očekávaným objevením se nového sektoru. Jestliže řadič tento sektor nenalezne, je obvodem IO<sub>13</sub> generováno přerušení, jež zastaví čtení. Nyní může následovat obnova obsahu paměti. Současně čeká řadič opět na sektor nacházející se před určeným ke čtení. Objeví-li se nyní tento sektor, je čtecí pochod obnovené započat.

Náročná logika se tedy stará výhradně o to, aby byl při neúspěšném čtení nějakého sektoru obsah dynamické paměti obnoven. Programové rutiny, které to zabezpečují, jsou již implementovány v obslužném programu počítače c't 86. Má-li tedy být nějaký sektor čten nebo zapsán, musí být z monitoru vyvolána příslušná rutina.

Naznačený problém vyvstává přirozeně též při formátování a popisování nějaké diskety. Po povelu „formátuj disketu“ by musel řadič vyčkávat 166 ms u jednotek 8" a 200 ms u jednotek 5,25" než by mohl započít s formátováním. Během této doby by bylo ale vyřazeno přerušení pro obnovu dat, což by opět mohlo vést ke ztrátě obsahu paměti. Proto se odbývá formátování či zápis podle následujícího schématu:

— poté, co se objevil indexový otvor diskety, je znám čas jedné otáčky. Ten je u standardní diskety 166 ms a u minidiskety 5,25" pak 200 ms. Okamžik před tím, než se indexový otvor opět objeví, může být přerušení pro obnovu dat (refresh interrupt) vyřazeno a vydán zápisový signál. Byl-li tento pochod úspěšný, je opět nastaven monostabilní obvod (jenž by vydal přerušovací impuls), čímž je zabráněno zastavení pochodu. Jsou-li nyní zapisována data na disketu, je dynamická paměť automaticky obnovována [52], protože data jsou čtena z dynamické paměti ve stoupajícím pořadí. Podle pramene [51] je deska paměti koncipována tak (modul č. 2), že ve spolupráci s obslužným programem jsou data paměti obnovována jak při zápisu na disketu, tak i při čtení, a protože zápis či čtení se děje po sektorech, kde průměrná doba připadající na jeden sektor je  $166:26 = 6,38$  ms, je interval přerušení pro obnovu dat postačující.

A nyní několik slov ke spojkám B1 až B10, jejichž polohy jsou vyznačeny na obr. 38. Spojkou B1 se volí spouštění motoru pohonné disketové jednotky, a to buď programově — počítačem (spojeno 1—2), nebo fixně (2—3). Obdobně spojka B2 svojí polohou určuje, zda bude univerzální hlava přikládána k disketě počítačem (poloha 2—3), nebo je trvale v přítlaku (1—2, jen pro krátkodobé testování). Pozice spojek B3 a B5 určují prioritu přerušení, a sice B3 pro obnovu obsahu dynamické paměti, B5 pak pro požadavek na přerušení, vycházející z desky řadiče. Spojkou B7 se zavádí časové zpoždění pro uklidnění hlavy. Spojka B8 propojuje vedení READY s přepínací logikou. U jednotek 5,25" musí být vždy osazena. Spojka B9 se používá jen pro testovací účely desky; její zasunutí mění úroveň z H na L na vstupu 22 TEST řadiče, čímž je možné nastavit trimry P<sub>1</sub> a P<sub>2</sub> předepsané napětí na vývodech 18 (1,5 V) a 33 (1,4 V). (Výhodnější je

nastavení pomocí osciloskopu; na vývodu 18 musí být impulsy o šířce 500 ns a na 33 o šířce 200 ns. Pro nastavení musí být ovšem na adresu 88H brány vložena nula. K nastavení ještě patří seřízení trimru C3 tak, aby na vývodu 16 byl kmitočet 250 kHz.) Konečně spojka B10 — je-li zasunuta — zavádí automaticky se signálem TG43 prekompenzaci zápisu [51], používanou u standardních osmipalcových disket, nutnou pro zápis pro stopy od 43 výše.

Až deska řadiče vytváří tedy z počítače profesionální výpočetní prostředí, pracující s výkonným operačním systémem. V daném případě počítač využívá OS CP/M-86 [62]; mohl by však pracovat též s OS MS-DOS, či s jiným.

Ačkoli deska řadiče byla vyvinuta jako jeden z modulů šestnáctibitového osobního počítače, může spolupracovat též s osmibitovými mikropočítači, pokud jejich sběrnice odpovídá standardizované sběrnici ECB (nerozšířené, tj. s kontaktními řadami A a C po 32 vývodech). Z toho důvodu — pro případnou aplikaci — uvádíme na obr. 39 rozložení součástí modulu na desce evropského formátu o rozměrech 160 mm × 100 mm.

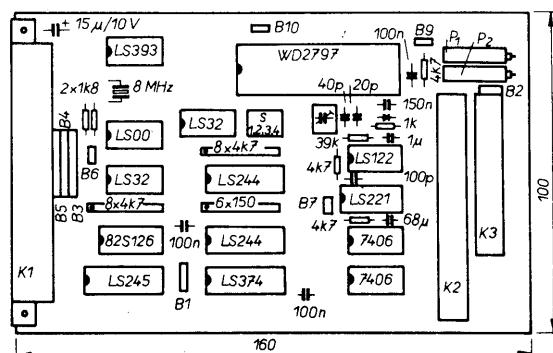
Čtyřmodulové provedení — jako ukázka — je charakteristické pro koncepci zapojení osobního mikropočítače, používajícího pro komunikaci a indikaci obrazovkový terminál s klávesnicí. Doplněním základního provedení popsaných čtyř desek o další moduly, jako je deska obrazovkového monitoru CRT, deska řadiče tuhého disku typu Winchester, deska barevné grafiky v rastru 640 × 400 či 640 × 200 bodů, atd., lze získat autonomní modulový osobní počítač (tj. nevyžadující k provozu připojený obrazovkový terminál s klávesnicí).

### Obslužné programy a operační systémy

Má-li kterýkoli mikropočítač či mikroprocesorový systém být provozuschopný, musí být vybaven obslužným (provozním) programem, uloženým v pevné paměti ROM, tzv. monitorem. Tento obslužný program pak umožňuje nejen komunikaci mezi uživatelem a počítačem, ale určuje i způsob práce daného zařízení a rozsah jeho komfortnosti — pochopitelně v úzké provázce s jeho technickým vybavením (hardware).

Jinými slovy řečeno, obslužný program je určitě, pro daný typ počítače vyvinutý a ověřený programové vybavení, jež splňuje požadavky ze strany uživatele na tento technický prostředek [49], [54].

Jsou-li požadavky uživatele rozsáhlé, je zřejmě rozsáhlé i příslušné programové vybavení. Naopak, jsou-li požadavky uživatele skromné (a tak tomu bylo ještě nedávno u osmibitových jednodeskových systémů pro školní či předváděcí účely), je programové vybavení úměrné nezbytnému počtu nutných instrukcí. Tak se tedy setkáváme s monitory nerozsáhlými, zabírajícími v pevných pamětech ROM rozsah kolem 500 až 1000 slabik, vyznačujících se malým počtem povelů. Naproti tomu existují „komfortní“ monitory, zabírající rozsah čtyř až šestnácti kiloslábik (4 až 16 × 1024 byte), pro něž je typický



Obr. 39. Rozmístění součástí řadiče pružného disku

značný počet povelů — řádu desítek. Takovéto monitory jsou již ovšem přizpůsobeny k spolupráci s operačním systémem — toho či onoho druhu — nacházejícím se zpravidla u osobních počítačů na pružném disku.

Operační systém (OS) představuje určitý objem programového vybavení, splňujícího vyšší požadavky uživatele na daný technický prostředek — osobní počítač. Operační systém je jistou nadmnožinou monitoru; rovněž tak je možné definovat monitor jako „nejjednodušší“ operační systém.

Pro operační systémy je určující:

- orientace na konfiguraci počítače s pružnými nebo tuhými disky,
- možnost plnit složitější požadavky, zejména práce se soubory (formátování disket, generování a čtení adresáře, generování a přesuny souborů, sestavování a spouštění programů, kopírování souborů, disket atd.),
- možnost snadno komunikovat s perifériemi, i speciálními (bodovou vratnou grafickou tiskárnou, příp. i několikabarevnou, se souřadnicovým zapisovačem a digitizérem, s ukazovátkem typu „myš“ atd.),
- uložení (rezidentnost) na disketě (ačkoli jsou známa provedení některých OS — jako je CP/M — jako firmware v EPROM),
- spolupráce s monitorem, jehož rozšířené „tělo“ někdy obsahuje na konfiguraci počítače vázanou část operačního systému, zvanou BIOS — basic input output system, vždy však rutinu pro zavedení pružného disku — boot start. (BIOS se v paměti ROM nachází právě u osobních počítačů IBM-PC.)
- K operačním systémům se ještě vrátíme. Nyní ukážeme základní povely obsluhového programu/monitoru osobního počítače c't 86; jejich stručný popis umožní čtenáři získat představu o výkonnosti typického monitoru, umožňujícího práci modulově sestaveného počítače i bez vnějších pamětových médií.

### Povely monitoru

Povely musí být zadávány vždy na začátku řádku (na obrazovce). Povel se v daném případě skládá vždy z písmene a několika parametrů v hexadecimálním tvaru. Parametry jsou oddělovány mezerou (space). Nejsou-li parametry zadány, použije program hodnot z předcházejících zadání. Je-li zadáno méně než pět znaků (v relativním módu méně než pět), doplní monitor zadání o nuly na místech vyšších řádů.

#### A — absolutní mód

Při tomto způsobu je možné bez zadání segmentového registru přistoupit přímo do celého rozsahu paměti. To je užitečné pro rychlý test, i když to neodpovídá koncepci fy Intel. Povel nevyžaduje parametr.

#### B (breakpoint) — zářezka

Tímto povel, za nímž musí následovat jako parametr adresa, je program zastaven na zvolené adrese. V relativním módu CPU je zářezka vložena relativně ke kódovému registru. V absolutním módu je zářezka (0CCH) vložena na absolutní zadanou adresu.

#### C — kódový registr

Parametrem tohoto povelu je vyšetřovaná kódová oblast určena; povel má

smysl jen v relativním módu CPU.

#### D — datový segment

Též tento povel je smysluplný v relativním módu. Parametrem je určena vyšetřovaná datová oblast.

#### E (execute) — provedení

Tímto povel, za nímž následuje jako parametr adresa, je odstartován program, a to právě od zadané adresy. Ovšem na začátku musí být nejprve registr kódového segmentu povel, „C“ naplněn odpovídajícím kódovým segmentem (v relativním módu), nebo první (největší) číslicí z pětimístného zadání parametru povel, „E“ (v absolutním módu). Byl-li však parametr zadán méně než pěti číslicemi, je registr kódového segmentu naplněn výrazem 0000. V každé případě však je ukazatel instrukce (instruction-pointer) naplněn nižšími čtyřmi řády zadaného parametru. Má-li po provedení programu následovat skok do monitoru, musí jako poslední instrukce programu být uvedena slabika 0CCH — což způsobí skok na obsluhovou rutinu zářezky. Ta vydá obsahy registrů CPU, po čemž se přihlásí monitor.

#### F (flopboot change) — změna pořadí pohonných jednotek

Má-li být nahrán do počítače operační systém nikoli z jednotky pružného disku, technicky označené jako první, ale z jiného, pak parametrem citovaného povelu je určena či změněna zdrojová jednotka.

#### H — hexadecimální aritmetika

Povel zajistí zobrazení výsledku součtu a rozdílu dvou šestnáctkových čísel, zadaných jako parametry povelu.

#### I (input) — čtení ze vstupní brány

Povel, je dotazována parametrem označená vstupní brána. Je vydána adresa brány a sejmuta hodnota.

#### M (modify) — modifikace obsahu paměti

Tímto povel, za nímž následuje obsah adresované paměťové buňky, jenž může být návazně změněn či ponechán beze změny — odsouhlasen. Parametr povelu určuje startovací adresu, stisknutím klávesy RETURN se schvaluje obsah indikované buňky následující. Vypsáním šestnáctkového čísla se mění obsah zobrazené slabiky, stisknutím kláves „.“ se vyvolá obsah buňky předcházející.

#### O (output) — vydání informace z výstupní brány

První parametr tohoto povelu určuje adresu výstupní brány, druhý pak obsah vydávané informace.

#### P (printer) — výpis na tiskárnu

Vloží-li se za parametr povel „I“, pak tiskárna připojená k rozhraní Centronics tiskne shodné znaky s těmi, jež jsou vysílány na obrazovku terminálu (kopírování obrazovky).

#### R — relativní mód

Při tomto způsobu jsou všechny adresové kalkulace vztaženy na obsah datového popř. adresového registru.

#### S (single step) — krokování

Tímto povel může být libovolný program prověřován instrukcí po instrukci. Po každé provedené instrukci se skáče do monitoru; stisknutím klávesy RETURN je provedena následující instrukce.

#### T (tabulate) — vytváření tabulek obsahů paměťových buněk

První parametr za povel, „T“ označuje adresu buňky, od níž má být znázorňován obsah paměti, druhý parametr udává ukončující adresu zobrazeného úseku paměti. V takto vzniklé tabulce řádků dat následuje v každém řádku po šestnácti slabikách

ještě jejich vyjádření v kódu ASCII. Pokud není požadováno, je nutno zadat za třetí parametr libovolnou číslici odlišnou od „1“.

#### V — přesun paměťového bloku

Prvním parametrem bloku je dána adresa počátku bloku, druhým pak adresa konce bloku, jenž má být přesunut. Třetí parametr vyjadřuje adresu počátku nového umístění paměťového bloku povel, „V“. Blok musí být menší než 64 kilobytů.

#### X (examine register) — zobrazení obsahu registrů

Povel, „X“ jsou znázorněny obsahy registrů procesoru. Následuje-li za znakem povel, „X“ bezprostředně (tj. bez mezery) označení registru jeho zkratkou, je vydán jen jeho obsah. Ten může být buď odsouhlasen stisknutím klávesy RETURN, nebo změněn zadáním hexadecimálního výrazu.

#### Y — testování

Povel, „Y“ a následným parametrem „1“ až „6“ je spuštěn jeden z testů, ověřujících správnou funkci té či oné desky či její části.

#### Z (bootstrap) — zavedení operačního systému

Po vyslání povelu „Z“ (bez parametru) musí mikroprocesor prostřednictvím modulu č. 4 přečíst první sektor nulté stopy systémové diskety. A protože tím je vlastně nahrán zaváděcí program, je jím možno pak z diskety číst téměř libovolné operační systémy a uvádět je do provozu. (Zaváděcí rutina po nahrání okamžitě spouští ten operační systém, jenž se na dané systémové disketě nachází!)

Z uvedeného výčtu povelů je zřejmé, že většina (16) jich je určena k programování mikropočítače ve strojním kódu; pouze povely „F“ a „Z“ se vztahují k operačnímu systému. Ten však — je-li již nahrán do operační paměti a spuštěn — se ovládá již svými vlastními povely, viz např. [55].

Mikropočítače po svém vzniku byly vybavovány různými obsluhujícími programy, a posléze — po jejich dovybavení pružnými disky — operačními systémy. Mezi osmibitovými mikropočítači zaujal výsostné postavení operační systém CP/M, (Control Program for Microprocessor), jenž vyvinul Gary A. Kindall v sedmdesátých letech [49], [55] a jenž se v krátké době stal standardem; jeho prodejem a distribucí se zabývá firma Digital Research.

Existence šestnáctibitových mikroprocesorů fy Intel si vynutila vznik nových operačních systémů, jež by je podporovaly. Jako první se objevil QDOS (QDOS = Quick-and-Dirty Operating System) firmy Seattle Computer Products, jenž však bohužel není univerzální — je příliš svázán s určitým technickým vybavením. Proto byl očekáván nějaký lepší systém, až v roce 1980 uvedla na trh fa Digital Research operační systém CP/M-86, určený pro šestnáctibitové osobní počítače. Později přibyla nová verze, tzv. CCP/M-86 = Concurrent CP/M, poskytující uživateli možnost nechat na počítači současně probíhat několik úloh.

Mezitím vstupuje na trh mikropočítačů gigant výpočetní techniky, fa IBM, jež se do roku 1981 v této oblasti držela stranou. Její osobní počítač — IBM PC — mimochodem vzniklý na objednávku mimo laboratoře IBM, je vyzbrojen quasišestnáctibitovým mikroprocesorem INTEL 8088. Jako operační systém používá tzv. PC-DOS, což je analogon operačního systému MS-DOS, distribuovaného firmou pro vývoj

a prodej programového vybavení Microsoft Corp. A není bez zajímavosti, že MS-DOS vznikl vlastně z QDOS, ovšem poněkud vylepšeného, jehož poslední verzi zakoupil Microsoft právě od Seattle Computer Prod.

V současnosti tedy existuje několik operačních systémů; z nich lze pokládat za standardy jak CP/M-86 [62], [63], [64], tak i MS-DOS [57], [58]. I když nacházíme určité podobnosti mezi CP/M-86 a MS-DOS, jsou navzájem neslučitelné, není možno mezi nimi přímo přenášet programy a mají i různé formáty pružných disků. Pokud se dále týká příbuznosti MS-DOS a PC-DOS, pak programy psané v prostředí MS-DOS mohou být spuštěny i pod PC-DOS — opačný přenos však není zaručen [54], PC-DOS totiž navíc používá firmware v paměti ROM (BIOS).

Dalším standardem a perspektivním systémem mini a mikropočítačů vyšších tříd je operační systém UNIX, jenž vznikl již v roce 1971 u fy Bell Laboratories; ovšem do roku 1975 doznal dalších šesti vylepšených verzí. Pak udělala fy Bell, prozíravý tah: dala systém prakticky zdarma k dispozici několika univerzitám na celém světě. Nejen že univerzity přispěly značnou měrou ke zlepšení systému, viz verze UCB — University of Carolina — ale studenti, jež se s UNIX seznámili důkladně za svého studia, po svém nástupu do praxe jej vyžadovali a tak se postarali o jeho další rozšíření. Pro systém UNIX je charakteristické:

- modularnost (skládá se z nezávislých modulů, takže uživatel se nemusí učit znát celý systém),
- jednoduchost implementace (je psán v tvaru nezávislém na technickém vybavení počítače),
- programová podpora ve velkém množství aplikačních programů (vlastní systém je z 90 % vytvořen v jazyku C),
- mnohoúživatelský provoz, napojování probíhajících procesů, snadné směrování v-v.

Kromě standardního UNIX existují kompatibilní firemní verze, jako je XENIX, VENIX, CROMIX atd. Není bez zajímavosti, že u nás v příštích letech bude rozvíjen UNIX jako jednotné unifikované prostředí počítačů SMEP. Nutno ovšem zdůraznit, že pro méně náročné uživatele je systém UNIX zbytečně rozsáhlý, a to jak pro délku kódu na disku, tak pro potřebu značně rozsáhlé operační paměti (1 MB) a tuhého disku. Proto u osobních počítačů se setkáme především s již uvedenými OS, a to CP/M-86 a MS-DOS či PC-DOS. (Záměrně se nezmiňujeme o operačních systémech jako je OS 8 či OS 9 a OASIS 16, určených též pro 16bitové počítače, neboť ty podporují odlišné typy mikroprocesorů, např. 68000 apod., takže v daném okamžiku nejsou pro nás zajímavé.)

Operační systém MS-DOS je napsán v jazyku C a může být rekompileován pro práci s 16 bitovými mikroprocesory jiných výrobců než INTEL, a to např. Z8000 fy Zilog či 68 000 fy Motorola. Je jednosměrně kompatibilní s operačním systémem XENIX. Protože byl částečně modelován po existenci CP/M-80, emuluje skutečně všechna jeho systémová volání. Tak osmibitové programy, pracující pod CP/M, mohou být přeloženy do kódu 8086 a voláním z CP/M přirozeně odpovídají správná volání v MS-DOS. Ten používá na perifériích nezávislé vstupy-výstupy; to znamená, že každé periferní zařízení se

jeví počítači jako soubor dat (file) — je otevřen či zavřen, čten či přepisován. Tak např. všechny programy MS-DOS mohou „vyslat zprávu na obrazovku“ a — nezávisle na technickém provedení uživatelského obrazovkového monitoru — se tato zpráva na obrazovce objeví. MS-DOS je relokační, tím dovoluje svým programům využívat segmentaci procesoru 8086.

Snad nejvýznamnějším rysem operačního systému MS-DOS je na zařazení nezávislá grafika. MS-DOS používá standard fy ATT pro přenos teletextu v obohaceném formátu Telidon, zvaném PLP (presentation level protocol). A protože ATT v zámoří vlastní velký objem národních telefonních sítí, operační systém, obsahující povely interpretující PLP, má obrovský význam. To dovoluje programátorům psát grafické programy, aniž by měli na mysli nějaký určitý osobní počítač. Programátor se tedy nemusí vůbec zajímat o technické vybavení počítače (předpokladem je návrh technického vybavení displeje návrhárem, jež je schopno interpretovat povely PLP). V kontrastu s tím se jeví výrobky Apple, jež — i když mají neuvěřitelnou grafickou způsobilost — si předtím vyžádaly roky programátorské práce, a to z důvodu poněkud bizarního technického rozvržení — viz typy LISA, Macintosh.

Osobní počítač fy IBM používají odvezené verze MS-DOS, zvané IBM personal computer DOS = PC-DOS. A jak bylo uvedeno, část PC-DOS je v pevné paměti ROM počítače IBM-PC či IBM PC-XT. V této paměti však není jenom tzv. BIOS (basic input-output system), jenž zajišťuje zadávání a vydávání informací na obrazovce, klávesnici, pružném disku či tiskárně, ale též interpret BASIC s poněkud omezeným souborem příkazů. Ten dovoluje ukládat (či číst) data a programy na kazetu. Ovšem na systémové disketě IBM je pod názvem BASICA povelové rozšíření k obsahu Basic-ROM, umožňující mj. operace s disketami.

(Tzv. analogony IBM-PC = clones, nabízené za pronikavě nižší cenu asijskými výrobci, zejména z Tajvanu, nejsou obvykle zcela kompatibilní s originály IBM-PC. Důvodem je právě zmíněná paměť Basic-ROM, jež je autorsky chráněná a jejíž licence není právě laciná. Vyhnutí se licenčním poplatkům vede k tomu, že se jedná na trhu nabízejí stavebnice osobních počítačů kompatibilních s IBM-PC bez této „romky“, jednak se nabízejí tyto počítače s pamětí ROM s jiným obsahem. A to právě vede k nekompatibilitě, zejména v grafickém Basic GW apod.)

Odborníci soudí, že operační systém MS-DOS osobních počítačů postupně vytlačí své předchůdce, jako je např. uvedený CP/M-86. Avšak vzhledem k tomu, že pro něj již existuje celá řada užitečných programových vybavení — i když v menším počtu než pro CP/M-80 — byly vyvinuty programové převodníky, umožňující vzájemně převádět programy jednotlivých systémů, např. z CP/M-86 na MS-DOS, a i obráceně z PC-DOS na CP/M 2.2 atd, s respektováním použitých formátů disket.

#### Literatura

- [1] — Die 16-bit-Premiere. Der 16-bit-Computer SDK 86 lässt bitten. CHIP 6/1979, s. 52 až 57.
- [2] SDK-86, MCS-86 System design kit. User's Guide, Manual Order No.9800 698A, firemní literatura Intel Corp., Santa Clara, CA 95051.
- [3] Coffron, J. W.: Programmierung des 8086/8088. Sybex Verlag GmbH: Düsseldorf 1985 (2. vydání).
- [4] — Einführung in die Mikroprozessortechnik.

Grundlagen, Entwurfsprinzipien, Anwendungen. Learning Center Texas Instruments: Freising 1977.

- [5] Osborne, A.: Einführung in die Mikrocomputertechnik. te-wi Verlag: Mnichov 1977.
- [6] iAPX 86, 88, 186 and 188 User's Manual, Programmer's Reference. Firemní literatura fy Intel Corp., Santa Clara, 1983, CA 95051.
- [7] SAB8086, 16-Bit Microprocessor. Siemens AG, Bereich Bauelemente, No.B/2428-101, Mnichov 1983.
- [8] SAB8088, 8-Bit Microprocessor. Siemens AG, Bereich Bauelemente, No.B2-B3237-X-X-7600, Mnichov 1984.
- [9] SAB8282/SAB8283 Octal Latch. Siemens AG, Bereich Bauelemente, No.B/2473-101, Mnichov 1981.
- [10] SAB8284A, SAB8284A-1. Clock Generator and Driver for SAB8086 Family Processors. Siemens AG, Bereich Bauelemente, No.B/2472-101, Mnichov 1983.
- [11] SAB8286/SAB8287 Octal Bus Transceiver. Siemens AG, Bereich Bauelemente, No.B/2474-101, Mnichov 1981.
- [12] SAB8288 Bus Controller for SAB8086 Family Processors. Siemens AG, Bereich Bauelemente, No.B/2475-101, Mnichov 1981.
- [13] 8086/8088-2/8086-4 16-Bit HMOS Microprocessor. Firemní literatura fy Intel, Santa Clara 1981.
- [14] Morgan, L. Ch.; Waite, M.: 8086/8088 16-Bit Microprocessor Primer. BYTE. McGraw-Hill: Peterborough 1982.
- [15] Čiferský, J. a kol.: Šestnáctibitový mikroprocesorový systém 8086, popis technického vybavení a strojového jazyku. ČSVTS FEL ČVUT: Praha 1984.
- [16] Kaňovský, J.; Šimek, J.: Mikroprocesorový systém 8086, základní údaje, scriptum. ČVUT: Praha 1985.
- [17] Schmidt, D.: SMP-E19: Ein vollständiger Mikrocomputer auf Einfach-Europakarte. Siemens Components 21 (1985), č. 6, s. 230 až 233.
- [18] Scherer, K.: Umsteigen auf 16 bit? Siemens Components 21 (1983), č. 3, s. 86 až 92.
- [19] MC-Baugruppensystem SMP 16-bit Zentralcomputer. Siemens AG, Bereich Bauelemente, Nr.B2-B3391, Mnichov 1985.
- [20] SAB8086-Familie mit 10 MHz-Taktfrequenz lieferbar. Siemens Components 21 (1983) č. 3, s. 111.
- [21] Böning, W.: ADMA, ein fortschrittlicher DMA-Controller für 16-bit-Mikrocomputersysteme. Siemens Components 21 (1983), č. 2, s. 43 až 47.
- [22] Ošmera P.; Nesvadba, J.: Úvod do problematiky šestnáctibitových mikroprocesorů. Sdělovací technika 11/1984, s. 401 až 410.
- [23] Rukovanský, I.; Nesvadba, J.; Sklenář, P.: K výkonnosti 16bitových mikropočítačů založených na mikroprocesoru 8086. Sdělovací technika 1/1985, a. 15 až 17.
- [24] H.B.: Aus gross wird klein, 16-bit-Computer im Taschenformat. CHIP 6/1983, s. 78 až 79.
- [25] Nachtmann, L.: PC-Tuning für 30 Mark, der V20 von NEC. CHIP 7/1986, s. 68 až 69.
- [26] Wadhawan, T.; Gupta, Sh.: Die neuen Mikroprozessoren der V-Serie. ELEKTRONIK 3/1986, s. 79 až 88.
- [27] —: Der Mikroprozessor 8086. CHIP 12/1985, s. 205 až 206.
- [28] Werner, K.: Der c't 86/Computer, ein echter 16-Bit-Computer zum Selbstbau. c't 1984, č. 1, s. 45 až 52.
- [29] Werner, K.: CP/M-86 und der c't 86. c't 1984, č. 2, s. 84.
- [30] Werner, K.: Der c't 86-Computer, část 2. c't 1984, č. 2, s. 85 až 87.
- [31] Hyán, J. T.: Mikroprocesor 8086. Ročenka Sdělovací techniky 1988. SNTL: Praha 1988.
- [32] Hyán, J. T.: 16bitový mikroprocesor 80186/80188 — iAPX186/iAPX188. Ročenka Sdělovací techniky 1988. SNTL: Praha 1988.
- [33] —: Der 8086 in der Praxis. Markt und Technik Verlag: Haar bei München 1982.

- [34] Lúke, P.: iAPX 186 — Der Superchip. Markt u. Technik Verlag: Haar bei München 1984.
- [35] —: Das 8086/8088 Buch, Programmieren in Assembler u. Systemarchitektur. Markt u. Technik Verlag: Haar bei München 1982.
- [36] Heywood, A. S.: The 8086 — An Architecture for the Future, část 1: Introduction and Glossary. BYTE červen 1983, s. 450 až 455; část 2: Instruction Set. BYTE červenec 1983, s. 299 až 320; část 3: Instruction Set Continued. BYTE srpen 1983, s. 404 až 426.
- [37] Simington, R. B.: The Intel 8087 Numerics Processor Extension. BYTE duben 1983, s. 154 až 175.
- [38] Zingale, T.: Intel's 80186, a 16-Bit Computer on a Chip. BYTE duben 1983, s. 132 až 146.
- [39] Willen, D. C.; Krantz, J. I.: IBM-PC/XT Assembler — Programmierung CPU 8088. Te-wi Verlag: Mnichov 1985.
- [40] Rector, R.; Alexy, G.: Das 8086/8088 Buch, Programmieren in Assembler und Systemarchitektur. Te-wi Verlag: München.
- [41] Thies, K. D.: Die ASM86/ASM286 Makroassembler. Te-wi Verlag: Mnichov 1986.
- [42] —: 8086-8088 Maschinensprachen Programmierung für IBM-PC und Kompatibile. Ing. W. Hofacker, GmbH, Holzkirchen/Obb 1986.
- [43] —: Intel 16 Bit Assemblerhandbuch. Interest Verlag: Kissing 1986.
- [44] Hyan, J. T.: Úvod do mikroprocesorové techniky, problematika uplatňování mikropočítačů v uživatelské sféře ASŘTP. DT ČSVTS: Praha 1984, 2. vydání.
- [45] —: ISBC 86/12 Single Board Computer Hardware Reference Manual. Intel Literature Department: Santa Clara 1982.
- [46] —: 8086 Assembly Language Programming Manual. Intel Literature Dept.: Santa Clara 1978.
- [47] SDK-86 MSC-86 System Design Kit Assembly Manual. Intel Literature Dept.: Santa Clara
- [48] Hyan, J. T.: Organizace některých významnějších sběrnic. Ročenka Sdělovací techniky 1987. SNTL: Praha 1987.
- [49] Hyan, J. T.: Mikroprocesor Z80 a jeho aplikace. Dům techniky ČSVTS: Praha 1986, 2. vydání.
- [50] Hyan, J. T.: Periferní paměťová media pro osobní počítače. Mikro-Quo-Vadis '88. UVTEI—Praha 1988.
- [51] —: SAB2793A/2797A Floppy Disk Formatter/Controller Family. Siemens AG, Bereich Bauelemente, No. B2-B3352-X-X-7600, Mnichov 1987.
- [52] Bayer, J.; Bilek, J.: Mikroprocesor 8086, struktura, pomocné obvody, mikroprocesorové systémy. Dům techniky ČSVTS: Ústí nad Labem 1984, 2. rozšířené vydání.
- [53] Laub, L.: The evolution of mass storage. BYTE květen 1986, s. 160 až 172.
- [54] Uhlíř, K.; Kubát, R.: Osobní počítač — nástroj inženýra. Sdělovací technika 5/1986, s. 180 až 183.
- [55] Hyan, J. T.: Provozní systém CP/M. Amatérské radio A9/1984, s. 340 až 342.
- [56] Feichtinger, H.: Kompatibilitäts-Irrglaube. mc 6/1986, s. 8.
- [57] Pol, B.: CP/M-86 oder MS-DOS — oder was? Eine höchst subjektive Geschichte. mc 3/1984, s. 36 až 37.
- [58] Smode, D.: MS-DOS intern. Část 1, mc 10/1985, s. 70 až 73, 2, mc 11/1985, s. 122 až 126, 3, mc 12/1985, s. 64 až 66, 4, mc 1/1986, s. 54 až 58, 5, mc 2/1986, s. 87 až 89, 6, mc 3/1986, s. 102 až 105, 7, mc 4/1986, s. 98 až 104, 8, mc 5/1986, s. 92 až 97.
- [59] Feichtinger, H.: Maschinensprache in MS-DOS, Eine ganz kleine Einführung. mc 1/1986, s. 48 až 51.
- [60] Feichtinger, H.: Dr. Osborne-AT, IMB-AT-Kompatibler in Selbstbau. mc 3/1986, s. 58.
- [61] Feichtinger, H.: Dr. Osborne-AT, Schaltungsdetails. mc 5/1986, s. 56 až 59
- [62] —: CP/M-86 Operating System. Unser's Guide, vydání 1982, Digital Research, POB 579, Pacific Grove, CA 95950, USA.
- [63] —: CP/M-86 System Guide. 2. vydání — červen 1981, Digital Research, POB 579, Pacific Grove, CA 93950.
- [64] —: CP/M-86 Operating System. Programmer's Guide, 3. vydání — leden 1983, Digital Research, POB 579, Pacific Grove, CA 93950.
- [66] —: SID-86 Productivity Tool, Symbolic Instruction Debugger. User's Guide, 2. vydání — březen 1982, Digital Research, POB 579, Pacific Grove, CA 93950.
- [66] Thies, K. D.: Die 8087/80287 numerischen Prozessorerweiterungen. Te-wi Verlag: Mnichov 1985.
- [67] Thies, K. D.: Das 8086-Systembuch. Te-wi Verlag: Mnichov 1986.
- [68] Thies, K. D.: Die 8085/8086-Interfaces. Te-wi Verlag: Mnichov 1983.
- [69] Palmer, J. F.; Morse, S. P.: Die mathematischen Grundlagen der Numerikprozessoren 8087/80287. Te-wi Verlag: Mnichov 1986.
- [70] Scanlon, L. J.: Die Assemblersprache des IBM-PC und XT. Markt u. Technik Verlag: Haar b. München 1985.
- [71] Nieder, H. C.: MS-DOS Version 3. Markt u. Technik Verlag: Mnichov 1986.
- [72] —: Microsoft-MS-DOS-3.1 Programmierhandbuch. Markt u. Technik Verlag: Mnichov 1986.
- [73] De Voney, Ch.: Das MS-DOS Kompendium. Markt u. Technik Verlag: Mnichov 1985.
- [74] Groff, J. R.; Weinberg, N.: Einführung in UNIX. Markt u. Technik Verlag: Mnichov 1984.
- [75] Thomas, R.; Yates, J.: UNIX-Anwenderhandbuch. Te-wi Verlag: Mnichov 1984.
- [76] Stanka, Z.; Lösch, S.: UNIX-Führer durch das System. Te-wi Verlag: Mnichov 1984.
- [77] Fey, J.; Huttenlohrer, R.: Das Betriebssystem XENIX. Markt u. Technik Verlag: Haar b. München 1986.
- [78] Dědina, B.; Valášek, P.: Mikroprocesory a mikropočítače. SNTL: Praha 1983, 2. vydání.
- [79] Czerwinski, I.: MS-DOS, Ein Data Becker Buch. Data Becker Verlag: Düsseldorf 1986.
- [80] —: Der DATA BECKER Führer MS-DOS u. PC-DOS. Data Becker Verlag: Düsseldorf 1986.
- [81] —: MS-DOS Einführung, Anwendungen, Tips u. Tricks für IBM-PC und -Kompatibile, REDYSOFT. Ing. W. Hofacker GmbH, Holzkirchen/Olb, 1986.
- [82] Masters, R.; Lübke, M.: MS-DOS (PC-DOS) für den Anwender. RKW-Verlag + expert Verlag 1986, NSR.
- [83] Gauthier, R.: Using the Unix System. Reston Publishing Co., Inc., A Prentice-Hall Company: Reston 1981 (Virginia, USA).
- [84] Eager, B.: PC-DOS, Eine Einführung. Addison-Wesley Verlag: Bonn 1987.
- [85] Smode, E.: MS-DOS für Insider. Franzis-Verlag: München 1987.
- [86] Bodemann, H.: Das Handbuch für IBM PC und Kompatibile. SYBEX Verlag GmbH: Düsseldorf 1986.
- [87] Andersen, D.; Gessin, J. M.; Warren, F.; Rodgers, J.: PC DOS Tips and Traps. Osborne/Mc Graw-Hill: New York 1986.
- [88] Šlípka, J.: Navrhování mikroprocesorových systémů. SNTL — ALFA: Praha 1985.
- [89] Hyan, J. T.: Kodéry abecedně číslicových klávesnic. Ročenka Sdělovací techniky 1980, s. 155 až 169. SNTL: Praha 1979.
- [91] —: ASCII — keyboard. Elektor květen 1983, s. 5 až 26 a 5 až 32.
- [92] Hyan, J. T.: Videointerface mikropočítačů. Automatizace č. 2/1989.
- [93] CRT Processor Display circuit EF9364AP. Firemní literatura THOMSON-CSF.
- [94] Hyan, J. T.: Mikroprocesor Z80 a jeho aplikace. DT/ČSVTS 1986 (DT 3184).

## Konstrukční část

### Mikropočítačový modul s procesorem 8086

Nejjednodušší mikropočítač, který lze realizovat, je s procesorem 8088, nastaveným do minimálního způsobu (módu). A protože multiplexovaná adresovaná a datová sběrnice a řídicí signály procesoru jsou přímo slučitelné s obvody 8355, 8155 či 8755, je možno použít je jako stykové a paměťové obvody. Obsahují totiž na čipu logiku, dovolující demultiplexovat kombinovanou sběrnici pro přenos datových a adresových signálů. Navíc jsou to obvody víceúčelové, neboť mají na jednom čipu např. paměť RAM, vstupně/výstupní kanály a časovač. Je tedy možné sestavit s nimi rozměrově malý a obvodově neobsažný mikropočítač (obr. 40), jenž je navíc rozšiřitelný.

Vzhledem k tomu, že jsem při návrhu jednodeskového mikropočítače neměl k dispozici uvedené víceúčelové obvody, byl jsem nucen se s danou situací vyrovnat s běžnými obvody. Tak vznikl malý systém, jehož blokové schéma je na obr. 41.

I když je mikropočítač na jedné desce, lze jej rozšířit o desky další — paměťové (v případě potřeby). V daném případě je samotná deska mikropočítače provozuschopná „sériově“, přes obrazovkový terminál nebo dálnopis (je ovšem možné ji spojit s vnějším okolím i paralelně, např. pro řízení či ovládání vnějších zařízení). A jak je známo, takový terminál lze simulovat další jednou deskou, k níž je připojena klávesnice a obrazovkový monitor či neupravený černobílý televizor [49], [78].

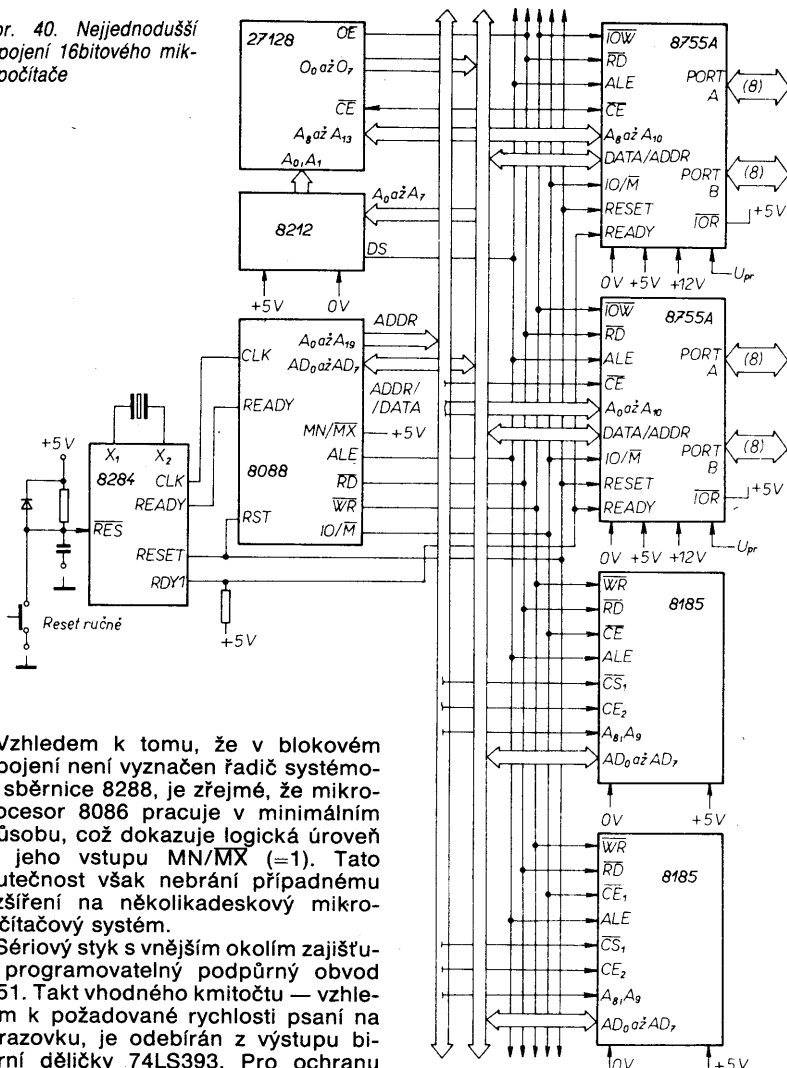
Jak uvidíme dále, vystačí se pro dané zapojení s jednou deskou tzv. evropského formátu, tj. o velikosti 100×160 mm, opatřenou na jedné kratší straně dvaadesátipólovým nepřímým konektorem FRB, umožňujícím jak její propojení s případnými dalšími moduly stejných rozměrů, tak i testovacími pomůckami.

Povšimněme si nyní blíže blokového schématu: jádrem zapojení je šestnáctibitový mikroprocesor 8086. Ten je buzen taktem z generátoru taktu 8284. Z jeho výstupu PCLK je odebrán signál pro dvojitou binární děličku 74LS393. Lokální multiplexovaná sběrnice je propojena se střadači 3× 74LS373, za jejichž výstupy se nacházejí potřebná adresová vedení v nemultiplexované formě. O zesílení a oddělení datové sběrnice (pro případné pozdější rozšíření) se starají obousměrné vysílače 2× 74LS245. Obě sběrnice jsou tedy zesíleny, takže případné připojení dalšího modulu nemůže nežádaně přetížít vedení.

Paměť obsluhného programu — monitoru — je zastoupena dvěma EPROM 2716 o celkové kapacitě 4 kilolabik. Pro daný monitor je tato kapacita dostačující.

Datová paměť na desce modulu je reprezentována dvěma paměťovými obvody CMOS o celkové kapacitě 16 kilolabik. Pro učební a předváděcí účely je kapacita této operační paměti více než dostačující; pro vytvoření komfortnějšího mikropočítačového systému by ji bylo nutno rozšířit na 64, nebo lépe na 128 kilolabik, což však dekodér výběru (dekodér 3) dovoluje. Přídavné paměti by však bylo třeba umístit na další desku.

Obr. 40. Nejjednodušší zapojení 16bitového mikropočítače



Vzhledem k tomu, že v blokovém zapojení není vyznačen řadič systémové sběrnice 8288, je zřejmé, že mikroprocesor 8086 pracuje v minimálním způsobu, což dokazuje logická úroveň na jeho vstupu MN/MX (=1). Tato skutečnost však nebrání případnému rozšíření na několikadeskový mikropočítačový systém.

Sériový styk s vnějším okolím zajišťuje programovatelný podpůrný obvod 8251. Takt vhodného kmitočtu – vzhledem k požadované rychlosti psaní na obrazovku, je odebrán z výstupu binární děličky 74LS393. Pro ochranu vstupu a výstupu USART 8251 se komunikuje s vnějším přes dva členy, jež současně plní úlohu převodníku podle standardu RS-232C [49], [52], [67]. Případný paralelní styk je možný prostřednictvím paralelního programovatelného obvodu 8255 (v blokovém schématu je vyznačen čárkovaně), jenž dává uživateli možnost komunikace třemi osmibitovými kanály.

Výběr pamětí či stykových obvodů obstarávají dekodéry výběru, jež se vzájemně odlišují. To proto, že jimi ovládané a uvolňované obvody jsou na

odchylných adresovaných úsecích. Dekodéry jsou celkem tři; první z nich je tvořen elektricky programovatelnou pamětí PROM, 74S287, ostatní dva jsou obvyklé obvody.

#### Technické vlastnosti mikropočítačového modulu

Počet desek: jednodeskový,  
160x100 mm.

Procesor: šestnáctibitový,  $\mu$ P 8086.

**Paměť:** ROM 4 KB, RAM 16 KB, statická.  
**Styk s vnějším:** sériový – 1x RS-232C, (paralelní – 3 kanály po 8 bitech).  
**Napájení:** +5 V/0,7 A;  $\pm 12$  V/0,1 A.  
**Přenosová rychlost:** 300 až 9600 b.s<sup>-1</sup> (16x) nebo 75 až 2400 b.s<sup>-1</sup> (64x).

Hmotnost: asi 250 g.

#### Popis zapojení

Čtenář byl již v hrubých rysech seznámen s konfigurací modulu na podkladě blokového schématu. Toto schéma se v detailním zapojení skládá z několika dílčích úseků, jež budou dále popsány.

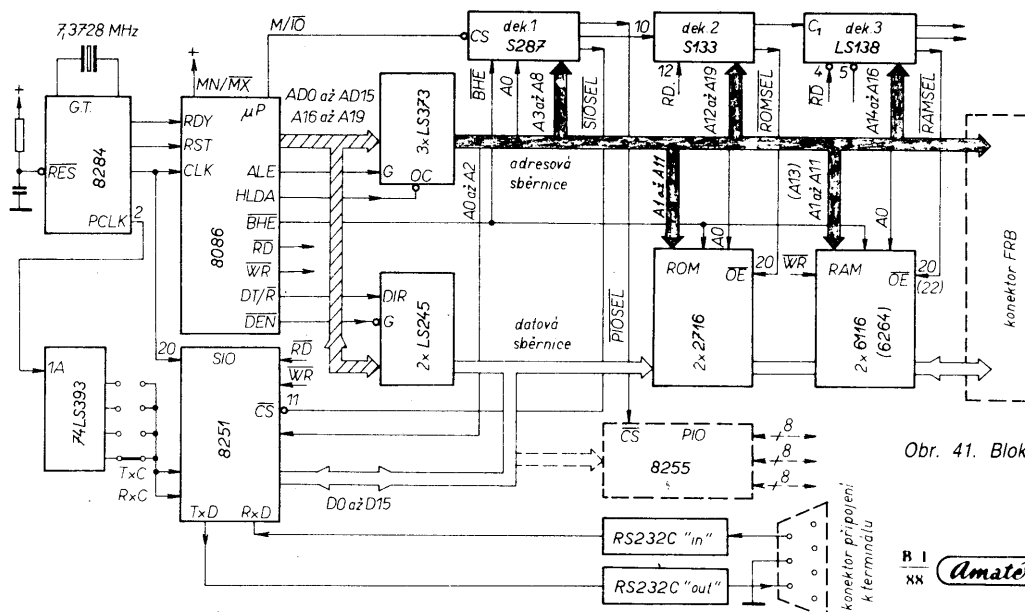
Úvodem je třeba říci, že inspiraci k celému zapojení poskytly prameny [1] a [2]; nicméně lze v zapojení vysledovat snahu po maximálním zjednodušení a zracionalizování, a to jak co do volby součástek (LSI), tak co do výběru moderních paměťových čipů CMOS.

Zapojení mikropočítačového modulu je pro přehlednost na dvou obrázcích, obr. 42 a 43. Na obr. 42 je hlavní část, tj. mikroprocesor 8086 se svou lokální sběrnici oddělenou zesilovači IO<sub>4</sub>, IO<sub>5</sub>, IO<sub>6</sub>, IO<sub>7</sub> a IO<sub>8</sub>, dále sériový stykový obvod IO<sub>9</sub> spolu se svým dekodérem IO<sub>10</sub>, IO<sub>11</sub> a jedním invertorem z IO<sub>12</sub>, generátorem hodinových impulsů IO<sub>2</sub> a generátorem přenosové rychlosti IO<sub>3</sub>. Na obrázcích jsou i členy pro připojení k čelnímu konektoru pro spojení podle standardu RS-232C – V.24.

Na obr. 44 je zbývající část zapojení mikropočítačového modulu, a sice paměťové obvody se svými dekodéry výběru. Paměť obsluhující program je ve dvou EPROM, IO<sub>13</sub> a IO<sub>14</sub>; její dekodér je IO<sub>17</sub>. Operační paměť tvoří dva obvody, a sice IO<sub>15</sub> a IO<sub>16</sub>; k nim přísluší dekodér výběru IO<sub>18</sub>.

Pokud se nepoužije paralelní stykový obvod – pro nějž je na desce modulu místo – je deska osazena celkem osmnácti integrovanými obvody. To není právě zanedbatelný počet aktivních součástí, při daném záměru (pozdější rozšíření) je však právě minimální.

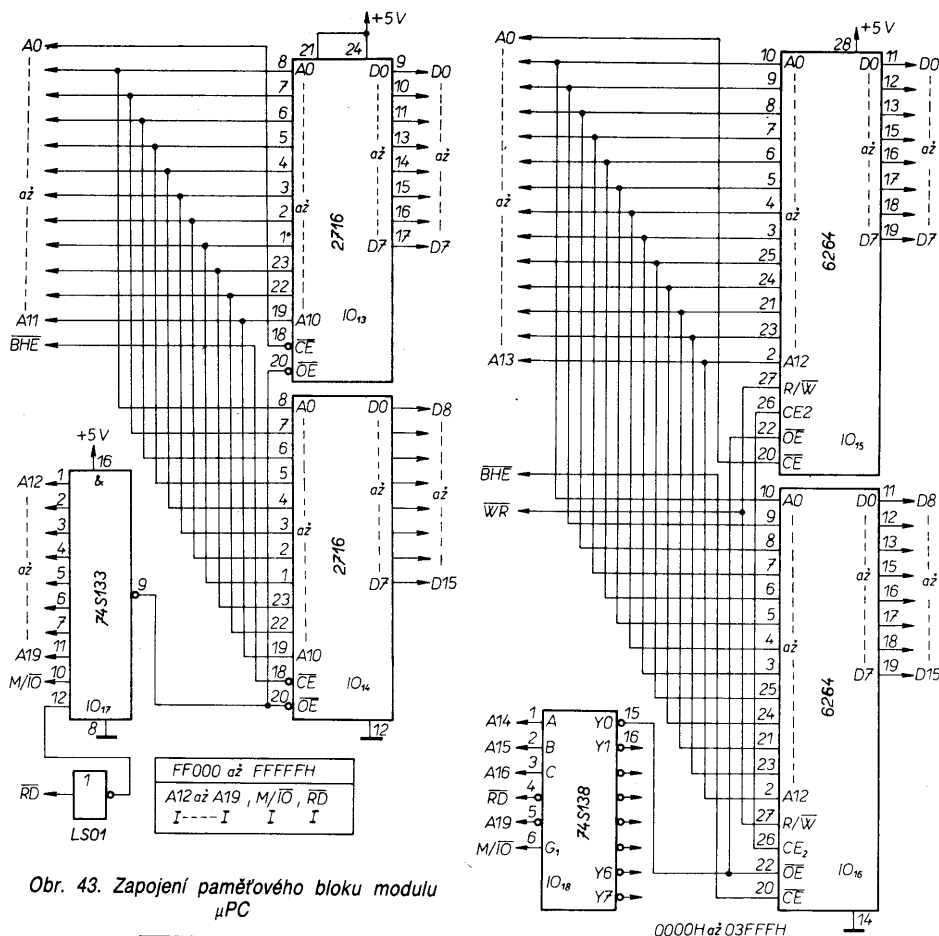
Je jisté zřejmé, že v praktickém provedení jsou datové vývody, označené šipkami, spojeny s datovými vývody, označenými kroužky. Totéž se vztahuje i na adresové vývody a vývody řídicích signálů (šipky a kroužky). Příslušné spoje byly vynechány pro lepší přehlednost. (A protože mo-



Obr. 41. Blokové zapojení mikropočítačového modulu s 8086







Obr. 43. Zapojení paměťového bloku modulu  $\mu$ PC

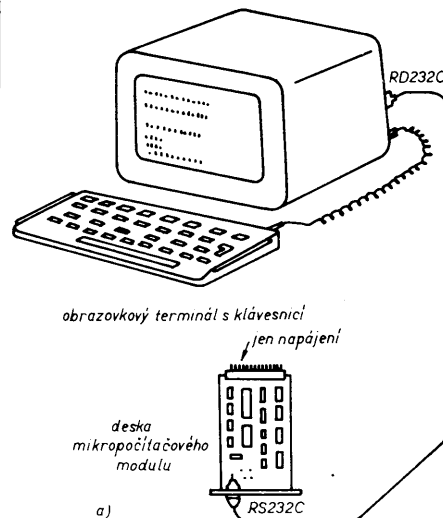
Stykový obvod IO<sub>9</sub> je programově nastaven na 1/64, tzn., že pro něj platí rychlosti z posledního sloupce vpravo. (Změnou v programu, tj. iniciaci 8251 – viz příložené výpisy obsahů programových pamětí IO<sub>13</sub> a IO<sub>14</sub> – lze dosáhnout i přenosových rychlostí pro dělicí poměr 1:16.)

Přenosová rychlost a dělicí poměr tedy vysvětlují neobvyklý kmitočet krystalu (jenž je společný jak pro mikroprocesor, tak i pro stykový obvod IO<sub>9</sub>).

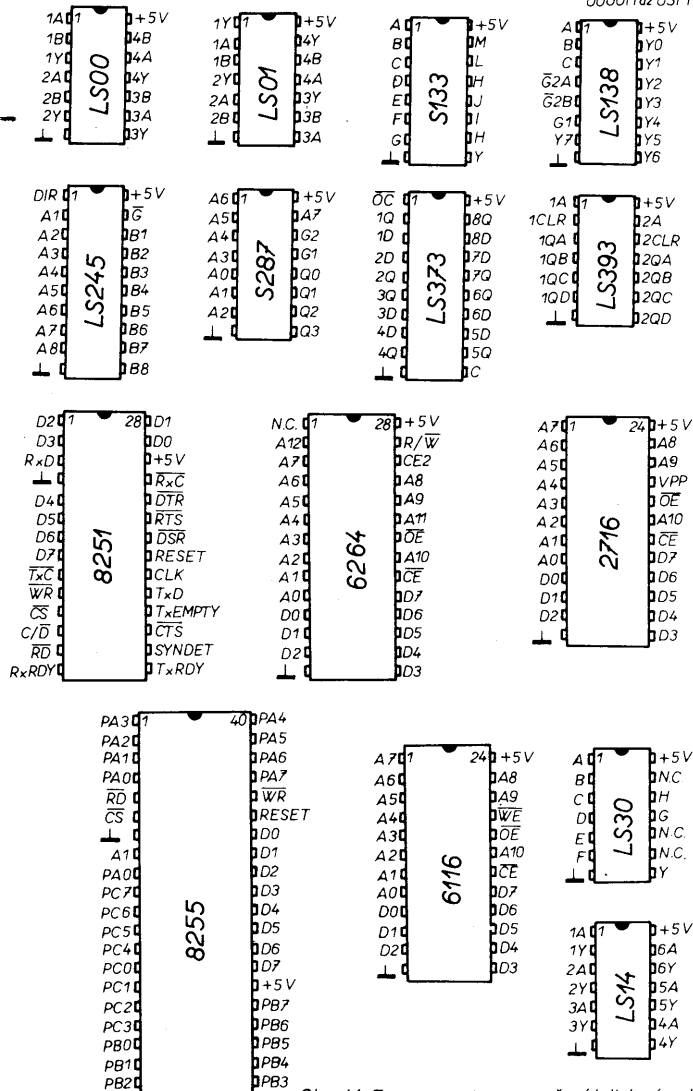
K zapojení zbývá již říci jen nemnoho. Uvolňování obousměrných vysílačů IO<sub>6</sub> a IO<sub>8</sub> obstarává řídicí signál DEN, směr přenosu je přepínán signálem DT/R. Přebírání hodnoty adresy střadači IO<sub>4</sub> až IO<sub>6</sub> ovládá řídicí signál ALE, jejich uvolňování pak signál HLDA.

Jak již bylo řečeno, mikropočítačový modul je na desce s pokovenými děrami, potřebné spoje jsou drátové. To je sice poněkud pracné, skýtá však možnost oprav, úprav a experimentování. Kdyby si chtěl někdo navrhnout desku s plošnými spoji, najde na obr. 44 tvar pouzder všech v úvahu přicházejících integrovaných obvodů spolu s označením jejich jednotlivých vývodů.

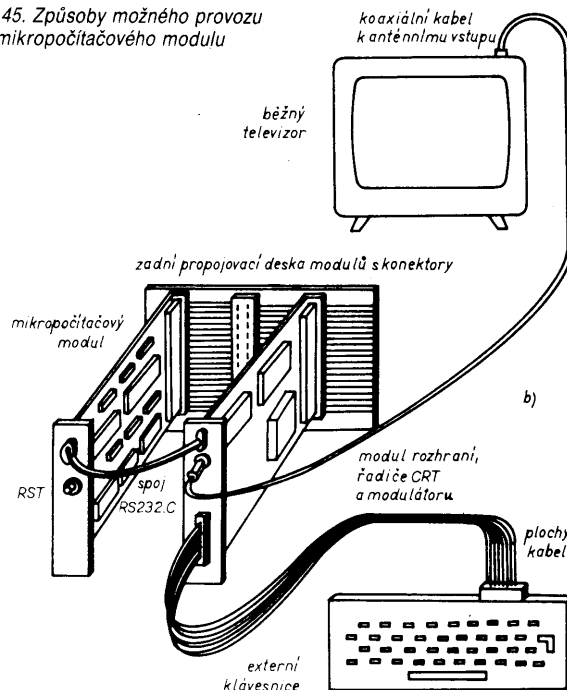
Na obr. 45 jsou dva možné způsoby provozování mikropočítačového modulu. První využívá dostupného obrazkového terminálu s klávesnicí. Ji se zadávají pří-



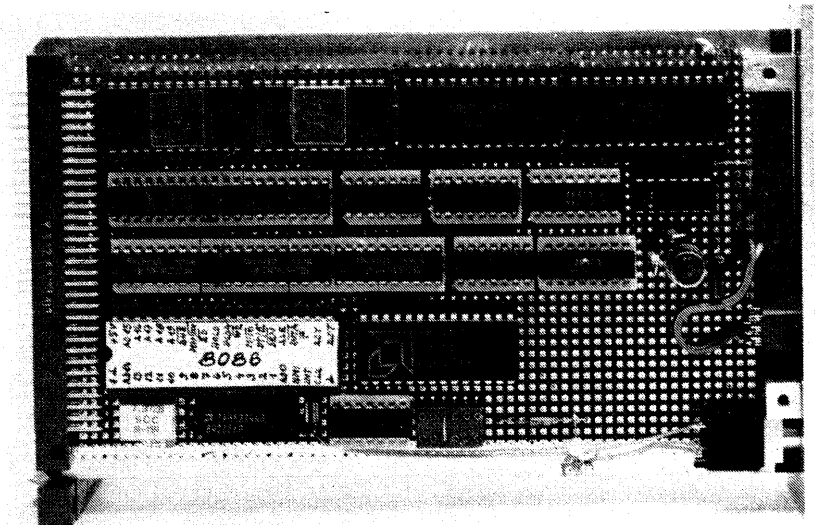
Obr. 45. Způsoby možného provozu mikropočítačového modulu



Obr. 44. Tvary pouzder a označení jejich vývodů, uplatněných v modulu  $\mu$ PC







Obr. 46. Deska osazeného mikropočítačového modulu

```

8000 90 A4 7F 95 28 29 31 38 20 20 54 20 20 2C 86 00
8010 7F 00 52 00 0A 20 30 36 40 4E 54 52 20 31 31 30
8020 32 34 36 38 41 43 45 53 47 49 52 41 42 43 44
8030 53 42 53 44 43 44 53 45 49 46 07 01 02 09 0C 00
8040 5C 46 8B 04 D0 E3 5F 5B 59 1F CF 8B 8C C4 04 89
8050 5D 04 08 00 0A FE A4 BC 00 0C 8E 46 FE BA FF 00
8060 0E 0E 06 C6 80 3E 00 77 BA 6B 2E 47 BA FF
8070 80 68 01 E4 F2 B0 0E 25 B0 EC 0F 00 EE FF 78 E9
8080 C4 F8 BD 27 0E E8 02 00 A3 00 44 A3 00 46 A3 00
8090 48 C7 38 00 8D 04 1E B8 07 E8 07 06 00 03 50 3C 50
80A0 1A 2D 0C 1E B8 0E E8 07 06 00 89 A3 00 D0 16 8C
80B0 00 EC BE A8 03 00 E8 01 2E E8 01 8E C6 68 00
80C0 3E 00 77 A0 0E 1E 00 00 34 AE 09 06 00 75 ER A0
80D0 00 6A 84 89 D1 2E A7 01 5F E8 08 0A 5C C1 E8 A0
80E0 07 9E 7A E8 0A 91 C1 E8 0A 87 E9 E8 08 08
80F0 F9 01 01 01 01 01 01 01 01 01 50 8B 2E 1E 00
8100 23 E8 00 FF 78 E9 C4 F8 C9 50 8B 2E 1E 00 6A D0
8110 73 A0 00 1E 00 88 C6 64 00 48 A3 01 25 0E 0E 00
8120 81 0F 3B B0 74 40 87 FE 04 1E 83 03 D3 24 50
8130 D3 FF 01 59 C1 D8 0F 2E 0E 06 50 0F B0 50
8140 66 FF 40 E8 0A 3A E8 00 36 00 C3 E9 FE 8B BA FF
8150 A8 75 B0 5D B0 5D 55 EC 0F EC 7F 66 3C 75 80 66
8160 11 23 D3 B0 73 BA FF 24 A2 00 03 03 1B E8 B0 66
8170 03 03 0F 5D 55 EC AF D0 73 E8 FF F2 EC 01 F8 F0
8180 BA 04 5D 02 55 EC AF D0 73 E8 FF F2 EC 01 F8 F0
8190 FF 66 E8 FF C3 8F BA 04 04 E8 03 87 2E 77 E8 FF
81A0 5E 80 00 0F FF 3E 9A 84 06 00 C2 00 8B 8B 04
81B0 0E E8 FF 46 50 B0 5D 05 EC 1F 68 BA 89 C4 04 FF
81C0 E8 FF 06 8B 89 C4 04 82 00 17 68 BA 89 C4 04 FF
81D0 67 FF 06 91 FF 04 5B 5D 06 55 EC 06 00 80 68 0F
81E0 1A 46 BA 6B 2E 47 75 B0 E8 08 68 01 0F 0C C2
81F0 00 8B 80 07 7A BA 04 30 05 46 2C B4 5D 02 55 EC
8200 06 08 00 E8 68 02 1A 3E 00 77 A0 00 1E 00 00 3A
8210 5B 83 FF C3 00 C3 8B C7 2E 00 83 2E 0D 31 1E 00
8220 C3 06 2E 47 B0 74 40 4E 5A 5F 0F 01 59 C1 D8
8230 44 0F 09 06 00 73 B0 5D 04 55 EC 0F E8 FE 0A E8
8240 FE C3 8B C6 69 00 5A 80 56 57 08 06 00 E8 FE 3E
8250 00 75 E8 FE C3 8B E8 FE 3E 00 75 E8 FE C3 8B C6
8260 68 2B 06 00 00 66 A2 00 06 00 24 D0 73 E8 FE
8270 36 00 36 00 41 D0 73 8B 2E 11 8B 30 4C E8 FE 3E
8280 00 75 A1 00 06 00 46 36 00 CD A3 00 36 00 9A F4
8290 D0 73 8B C6 36 84 D0 73 A1 00 0A 0F FF 66 E8
82A0 FE 03 FC 30 9E A1 00 06 00 66 3C B0 74 40 A0
82B0 66 3A FF 01 59 C1 B0 66 2C FF 01 59 C1 D8 05 AE
82C0 FC 66 A2 00 3E E9 FF C3 8B 8B 0A 5E 26 47 E8 FE
82D0 5E 26 07 3E 00 75 E8 FD 5E 26 07 89 02 DF C4 06
82E0 89 09 66 3A 00 E9 5D 06 55 EC 0A 68 FD 4C
82F0 89 09 66 3A 00 E9 5D 06 55 EC 0A 68 FD 4C
8300 A3 00 48 A3 00 20 E8 FC 3E C4 26 26 37 E8 FD
8310 C6 B0 66 2C FF 01 5E 3C 00 80 75 40 D2 B0 73 D0
8320 26 1E FF 40 E8 FF C3 8B BA 27 C7 50 00 BA FF
8330 A8 75 A1 00 C3 A3 00 10 72 BA FF 25 E9 F8 F2 B0
8340 EE F2 EC 02 F8 00 60 11 B0 66 5D 55 EC AF 50
8350 3F A2 00 6D B1 D2 50 90 20 59 C1 6D A0 00 06
8360 03 C3 8B E8 FF AE A0 00 08 0E E8 FF 03 5D
8370 55 EC 1E 00 0E A3 00 06 00 C6 68 00 3E 00 77 BA
8380 68 2E 2E 9F 00 00 C3 8B 89 B0 30 2C A1 00 2A
8390 01 D4 2C A3 00 2A A3 00 02 A4 1E 00 00 BA 74 B7
83A0 68 00 3E 00 77 83 2A 02 0A 01 00 1E 00
83B0 D1 8B 30 1E 00 89 B0 68 01 D2 2E 0A 01 00 1E 00
83C0 89 FF 2A FE 2C 2E 16 00 C3 1E BE A6 50 52 5E E8
83D0 0E 5A 5F 07 55 EC 0E 7A 8C 03 00 14 89 A1 00
83E0 D0 1E 81 4A FF B0 6A 03 03 5D E8 FC 16 80 66 2C
83F0 15 26 A3 00 29 A3 00 0E 00 1B 80 66 00 03 D5
8400 E9 F9 1E BE AE 50 52 5E E8 00 5E 58 07 55 EC
8410 2A 8C A3 00 14 89 A1 00 D0 AE FC 85 55 EC
8420 5E 26 47 06 2E 16 00 46 83 19 5E 26 07 C2 00 8B
8430 E8 FD 3E 00 75 E8 FA 06 50 36 00 35 80 66 0D
8440 51 C4 22 26 07 65 26 07 42 26 3F 74 E9 F9
8450 06 00 E8 B0 66 00 C3 25 E8 FB 26 A3 00 28 A3 00
8460 26 00 FE 69 5D 55 EC 02 B0 66 2C 03 FB A1 00 48
8470 A1 00 40 81 4A 00 E8 FE C3 8B E8 FB 06 00 50 36
8480 00 A8 B0 66 2C 03 C7 FB 69 D0 73 C4 1A 26 37
8490 17 E8 C4 1A 26 37 D8 B0 50 94 E8 FA 80 66 00
84A0 02 C3 00 7A E8 FB 52 B0 66 2C FF 01 50 3E 00
84B0 75 40 22 D0 73 8B 69 D0 73 A1 00 00 00 89
84C0 C4 1A 26 07 06 00 14 52 C4 1A 26 07 06 00 89
84D0 07 03 2F B0 66 00 02 C3 8B E8 FB 5A 3E 00 75 E8
84E0 00 E8 FA 3E 00 6D 00 E8 FF C3 8B E8 FA 3E 00 75 E8
84F0 00 E8 FA 3E 00 6D 00 E8 FF C3 8B E8 FA 3E 00 75 E8
8500 F8 00 02 E1 C3 FF 59 8B 80 50 B2 BA 70 B7 D1 FF
8510 A0 00 02 E1 C3 FF 59 8B 80 50 B2 BA 70 B7 D1 FF
8520 30 15 80 70 06 03 47 B0 70 01 B1 C3 C2 F6 D0 73
8530 E9 F7 66 A2 00 9C FF 6F 66 E8 F9 D0 D8 03 75
8540 A1 00 70 80 50 5C BA 70 B7 D1 FF 30 8F B0 50 48
8550 E8 FB 62 B0 66 2C FF 01 50 3E 00 B0 75 40 22 D0
8560 73 E8 FA 3E 00 66 2C FF 01 50 3E 00 B0 75 40 22
8570 B0 73 E9 F7 1E 00 00 C3 54 89 30 3E 00 B0 74 40
8580 B0 70 00 FF 01 59 C1 D8 02 C3 06 00 E8 F9 70 B1
8590 F6 89 2E 77 E8 F7 B0 B1 F6 89 2E 77 E8 F7 48 5D

```

Obr. 47. Pohled na modul  $\mu$ PC (viz foto na 1. str. obálky)

```

85A0 55 EC 83 B0 1A 1E FF 40 E8 FA 3E 00 74 E9 F6 A8
85B0 E8 F9 18 A1 00 06 00 03 83 B0 66 2C 03 79 E8 F7
85C0 06 00 50 36 00 43 B0 66 00 03 5F E8 FB 1E 00 8A
85D0 C4 1E 26 07 1E 00 8A C4 1A 26 07 03 3B A1 00 06
85E0 00 02 C3 06 00 03 1E C8 8B E8 F8 06 00 50 36
85F0 00 E8 B0 66 00 03 1E C8 8B E8 F8 06 00 50 36
8600 E8 B8 18 A1 00 06 00 03 E3 B0 66 00 03 D9 E8 F8
8610 36 00 03 C3 06 07 F9 D0 73 C4 1A 26 37 1F A1 00 06
8620 00 02 C3 06 00 E8 C4 1A 26 37 D3 A1 00 06 00 02
8630 C3 06 00 A1 00 0F A2 00 3E 00 B0 74 40 00 71 01
8640 FF 01 22 69 59 C1 D8 B0 55 E8 E8 F8 A1 A3 00 3E
8650 00 74 E9 F5 E8 A0 00 D8 0E 16 00 50 9F E8 8B 5E
8660 EC E8 FA 40 80 66 00 CE C3 8B E8 F7 01 A3 00 3E
8670 74 E9 F5 1E E8 F7 58 B0 66 3A 03 F8 A0 00 D8
8680 0A 16 00 58 EF 58 B8 5A EE 3E 75 E8 F7 D8
8690 E8 F5 A4 E8 F5 3E 00 75 5D 55 EC D0 C6 73 FF 3E
86A0 00 75 C6 73 00 8C B0 66 20 03 B2 B0 1A 1E FF 40
86B0 E8 F8 3E 00 74 E9 F4 98 E8 F5 06 00 50 36 00 31 E8
86C0 73 B0 66 00 17 06 00 E8 F5 06 00 74 E9 F4 BA C6 A8 01 3E
86D0 C6 72 00 06 00 00 3E 00 EC BE A0 00 D8 4E 72 D0
86E0 00 77 B0 50 1E 80 68 01 EC BE A0 00 D8 4E 72 D0
86F0 73 B0 50 00 00 E8 C4 1A 26 07 03 3F 1E E8 F5 36
8700 00 25 E8 F6 06 00 00 02 89 B0 50 96 FF 1C E8 F5
8710 36 00 03 E8 F6 06 00 00 18 2B 1A A3 00 00 F7 3A 1
8720 00 A0 C3 06 36 00 36 00 00 E8 F5 06 00 A0 00 00
8730 06 00 16 1E 00 FF E8 F6 06 00 80 68 01 DF 36 00
8740 A7 E8 FA 1A B3 01 06 00 9E 00 FF 1E B0 50 10 FF
8750 67 E8 FA EA C6 68 01 CE 3C 77 B0 50 2E 68 01
8760 C3 8B C7 60 00 C7 1C 00 E8 F5 3E 00 74 E8 F5
8770 60 80 66 00 03 09 E8 F5 7B 3C 3E 67 00 BA A2
8780 00 DF A3 06 02 03 60 A3 00 AE A2 00 3E 00 75 E8
8790 F7 40 E8 F7 48 B0 74 02 06 AF A3 00 3E 00 75 E8
87A0 62 00 06 62 A3 00 3E 00 75 C6 74 00 7A 74 E9 F2 06
87B0 E8 F7 77 C4 1A 26 07 06 00 00 74 E9 F2 3E 00 B0
87C0 00 76 01 CE 2C A2 00 3E 00 74 E9 F2 3E 00 B0
87D0 75 40 82 75 00 FF 01 59 C1 D8 03 37 B0 50 2A B0
87E0 50 24 5D FF FF FF FF FF EA 00 FF 01 00 10 FF FF
87F0 FF FF FF FF FF FF FF FF EA 00 FF 01 00 10 FF FF

```

#### Obsah paměti IO<sub>13</sub>

```

8000 E9 00 00 00 43 20 39 36 20 54 54 2C 20 06 00 7D
8010 00 42 20 0D 20 38 38 20 4F 49 4F 2C 56 2E 00 31
8020 33 35 37 39 42 44 46 58 4E 44 4F 57 58 58 58
8030 50 49 49 53 53 53 53 50 46 03 00 08 08 8B
8040 8B 02 5E 8E 8B 5D 5E 5A 58 07 55 EC 8E 26 07
8050 C2 00 00 00 2E 16 00 50 8B 2E 1E 00 FA BA B0 EE
8060 39 B0 EE 06 00 80 68 07 15 1E 00 BA 1B EE
8070 06 00 75 BA FF 06 80 EE 45 B0 EE 25 B0 B1 D2 FE
8080 75 2E 06 50 AE B8 00 40 A3 00 00 42 A3 00
8090 06 00 01 06 50 00 CA 50 27 80 0E 1B 08 E8
80A0 07 06 00 3C 50 00 00 77 B0 50 71 E8 01 06 00 80
80B0 8B 2E 1E 00 27 E8 B7 2E 47 74 B0 68 01 C3 57 68
80C0 8B 09 6F 66 8B 68 B7 2E E8 07 AA 3A E8 06 A0 29
80D0 A2 00 00 E9 96 06 E8 0A 8C FC E8 0C 8E 53 E8
80E0 E8 0F A4 B9 BE C3 C8 C0 D2 D7 DC BC 0C EC BE A6 B0
80F0 50 E3 B0 B1 D2 FE 75 E8 8C 0E EC BE A6 A0 D8
8100 5A 64 C4 22 26 07 06 00 A1 00 E8 50 0F 8B 22 51
8110 E1 00 C1 FF 01 5A 56 B1 D3 03 40 5B E8 1E 00 3B
8120 B0 74 40 22 D0 73 83 48 01 8D 23 0E 00 40 E8
8130 06 36 00 00 59 FF 48 E8 00 C5 55 EC F2 EC
8140 02 04 00 C3 FF C3 8B BA FF 24 A2 00 13 20 3E 00
8150 75 E8 FF D8 F2 FC 7F 66 3C 75 E9 FF 0E 3E 00
8160 75 E8 FF C3 8B E8 FF D8 03 B7 BA FF 48 74 BA FF
8170 4E EC 02 00 8B BA FF 48 74 BA FF 24 A2 00 20 07
8180 36 00 C1 5D 55 EC 5E B1 D2 80 00 07 FF 3E A9 8A
8190 A4 E3 B7 2E 77 E8 FF 46 28 67 5D 55 EC 06 06
81A0 50 C4 8B 04 E8 FF C2 00 8B 80 00 00 C6 5E 26 30
81B0 00 A0 00 00 C6 5E 26 38 74 A0 50 6F 50 00 76 E8
81C0 45 B0 A8 01 D9 C2 E8 FF C2 00 8B C6 68 00 3E 00 77
81D0 FF 76 E8 FF 76 E8 FF C2 00 8B C6 68 00 3E 00 77
81E0 BA 04 1E 00 00 3A 3E 0A FF 09 06 00 C2 B0 5D 02
81F0 EC 7E 39 07 46 2C E8 BA 04 37 00 C2 00 8B C6
8200 00 07 06 00 72 B0 68 1A 13 66 8A 68 B7 2E 47
8210 75 B0 5D 50 55 EC 06 00 00 3E 00 77 8B 2E D1
8220 BA 06 3A FF 01 8A 04 2E AF 80 74 40 22 D0 73
8230 E8 B3 2E 01 08 00 C2 00 8B B0 50 40 80 50 47
8240 55 EC 06 00 E8 FE 3E 00 75 C6 69 FF 48 E8 06
8250 20 03 41 5D 55 EC 39 80 66 20 03 2F 5D 55 EC
8260 07 C4 00 00 A0 00 00 C7 4C 00 E8 FF D8 3B 09 FF
8270 6C FF 66 E8 FF D8 1F 1E 00 E3 47 A3 00 E8 08 68
8280 2B 48 04 01 4E E8 FF C6 E8 FE 4C FF 6C E8 FE 00
8290 D8 03 AE FF 66 E8 FE D8 C8 41 D3 50 3E 00 3E
82A0 00 C1 4C E8 FD D8 4C 29 4E A0 00 00 FF 01 50 3E
82B0 B0 74 40 0A 50 3E 00 B0 74 40 0A 00 FF 01 50 3E
82C0 C3 3E 00 B0 74 40 0A 50 3E 00 B0 74 40 0A 00 FF 01 50 3E
82D0 A0 68 E8 FD 1C 5D 55 EC 46 C4 06 89 02 FC C4
82E0 06 89 B0 66 3A 20 19 C4 06 8B 26 47 E8 FE 5E 26

```

```

8300 07 3E 00 75 E9 FB C2 00 8B E8 FD 36 00 3C A1 00
8310 28 A1 00 26 B0 50 89 E8 FB 1E 00 FF E8 FC 31 E8
8320 FC 3E 00 80 75 40 80 66 00 FF 01 59 C1 D8 08 00
8330 00 50 36 00 44 5D 55 EC F2 B0 EE 06 00 00 F2 EC
8340 80 17 50 83 01 50 3D 27 E8 F2 B0 EE 5A BA FF 25
8350 BA FF A8 74 E8 FC 3E 00 74 A0 00 00 C3 8B E8 FF
8360 FD 6D A0 00 04 E0 E8 FF 6A B1 D3 00 BF BA 59 C1 C3
8370 5D 55 EC F2 A2 00 4E BA 83 04 06 00 80 8A 25 1E
8380 E8 C4 2A 26 07 3A 83 2A 04 06 00 80 8A 25 1E
8390 00 00 8A 74 B7 D1 C4 2A 26 04 47 83 2A 02 06 00
83A0 75 A1 00 44 A1 00 38 5D 55 EC 44 A3 00 38 A3 00
83B0 06 00 80 68 0A 27 2E 00 83 2A 68 B7 2E 9F 00 00
83C0 E3 47 C4 2A 26 07 06 00 75 83 2A 02 3A C4 2A
83D0 07 36 00 36 00 FF 04 5D 06 2E 1E 00 51 53 57 0F
83E0 5F 5B 59 1F CF 8B 89 A3 00 D0 2C A1 00 C4 16 BE
83F0 E8 FF 26 00 FE 3E 00 74 E8 FF 9B E8 FE 3E 00 75
8400 A1 00 48 A1 00 40 81 4A 00 E8 FF 3E 00 74 E9 F9
8410 3B 06 2E 1E 00 51 53 57 09 5F 5B 59 1F CF 8B 89
8420 A3 00 D0 2C A1 00 C4 16 BE E8 FE 39 E9 F9 8B C4
8430 06 8D 02 50 FF 06 8B 04 E8 C4 06 89 5D 06 55 EC
8440 8D 80 66 2C 3C 7B 8D 22 1E FF 28 E8 FD 3E 00 74
8450 E9 F9 1E 00 8A A2 00 C6 CC 1E 00 80 CC 03 36 C6
8460 64 FF 0A 3E 00 74 E9 F9 BF A1 00 48 A1 00 40 81
8470 AA FF E8 FC C3 8B E8 FD 3E 00 74 E9 F8 A3 00
8480 28 A3 00 0E 00 01 42 5D 55 EC 8C 8B 1A 1E FF 40
8490 E8 FC 3E 00 74 E9 F8 BF A0 00 D8 0C 1E 00 FF E8
84A0 FA 0A 1E 00 FF E8 F9 2D E8 F9 19 E8 F9 3E 00 75
84B0 5D 80 66 2C 5C 4E A3 00 3E 00 80 75 80 66 00
84C0 FF 01 59 C1 D8 03 66 A0 00 D8 17 52 C4 1A 26 07
84D0 1E 00 8B 3B 52 E8 A1 00 1E 00 8B A1 00 1E 00 3B
84E0 74 E9 F8 3E 00 75 5D A0 00 D8 07 06 00 E8 83 1A
84F0 01 A0 FF 1A E8 F9 3F 5D 55 EC D2 80 66 00 59 91
8500 C6 70 3E 00 77 E8 F9 B0 B1 F6 89 2E 77 E8 F8
8510 70 B1 F6 89 2E 77 E8 F8 B3 3B E8 F8 1E 00 00 C3 77
8520 E8 F9 3E 00 75 E8 FA 06 00 75 5D E8 F9 D0 D8 03
8530 92 A0 00 6F E8 F8 3A 06 00 D4 F6 D0 73 E9 F7
8540 2E A2 00 3D E8 F8 1E 00 00 C3 77 E8 F8 2D E8 F8
8550 CD E8 F8 3E 00 80 75 40 00 66 00 FF 01 59 C1 D8
8560 33 16 A3 00 3E 00 80 75 40 00 66 00 FF 01 59 C1
8570 D8 03 0E 8A 70 B7 D1 A1 00 40 87 66 D0 FF 01 50
8580 3E 00 80 74 0A 0A D0 73 5D 80 70 77 A0 00 02
8590 E1 C3 FF 8A 00 00 02 E1 C3 FF 59 A0 E9 FF C3
8600 E8 F9 06 00 50 36 00 70 66 2C 03 98 E8 F7
8610 B8 A3 00 18 3B 1A 73 E9 F6 3E 00 74 E9 F6 89 8D
8620 1E 1E 00 E8 FA 3E 00 74 E9 F6 3E 00 74 E9 F6 89 8D
8630 0E 00 8B C4 1E 26 07 1E 00 3A E8 F6 1A 3B 18
8640 75 5D 83 1A 01 06 00 55 EC CC 8D 1A 1E FF 40
8650 E8 F9 3E 00 75 A1 00 18 E8 66 2C 03 F8 E8 F7
8660 D8 A3 00 18 3B 1A 73 E9 F5 3E 00 74 E9 F5 73 FF
8670 1A E8 F7 47 A0 00 D8 1C 1E 00 FF E8 F7 1A 3B 18
8680 75 5D 83 1A 01 0A 1E 00 FF E8 F6 1A 3B 18 72 5D
8690 83 1A 01 1A 25 00 71 82 71 0F FF 01 50 3E 00 80
86A0 74 40 06 00 A0 D0 72 E8 55 EC 0E E8 F6 80 66 00
86B0 2C 03 0E E8 F7 69 D0 73 8B 5E E8 E8 F6 09 16 00
86C0 50 64 E8 F6 3E 00 75 5D 55 EC CC E8 F8 5A 80 66
86D0 2C 03 0E E8 F6 3E 00 75 5D 55 EC CC E8 F8 5A 80 66
86E0 8B 5A 01 00 E8 A1 00 16 00 80 75 E9 F4 69 B0 73
86F0 C5 E8 F6 0F 80 66 D0 BA C3 E8 F5 06 00 50 36 00
86A0 58 08 00 0E E8 F5 3E 00 75 E8 F5 06 00 50 36 00
86B0 6C 80 66 2C 03 8B E8 F5 68 A3 00 18 3B 1A 73 E9
86C0 F4 3E 00 74 C6 72 FF 77 8D 1E 1E FF 40 E8 F8 08
86D0 06 00 C7 1E 00 80 66 00 03 A0 E8 F6 00 80 68
86E0 3C 0D 00 E8 F5 06 00 75 E8 F6 73 D0 73 00 D8
86F0 2B 88 00 B0 50 8F FF 20 E8 F5 36 00 5C FF 67
8700 E8 F5 B8 C7 1E 00 B0 50 00 51 E8 F5 36 00 3A FF
8710 67 E8 F5 69 C7 5C 10 A1 00 06 00 E8 83 10 09 5F
8720 83 01 5C FF 5C FF 1A B0 50 59 C6 00 61 68 B4 38
8730 5C 77 C4 1A 26 37 BA 83 1A 01 06 00 75 FF 67 E8
8740 F4 00 A1 00 E8 39 18 75 50 36 00 01 E8 F5 36
8750 00 84 E8 F5 06 00 80 68 3C 00 00 E8 F4 06 00 75
8760 5D 55 EC 06 00 00 00 00 F4 80 66 00 06 FC A3
8770 00 3E 00 74 E9 F3 A3 E8 F7 3A F8 06 00 E8 F7 75
8780 E8 F7 62 A1 00 06 00 1A E8 F7 3A F8 06 00 E8 F7 75
8790 A3 00 8C A3 00 00 3E 00 75 E8 F7 1C B0 74 01 00 3E
87A0 74 01 00 48 82 74 00 37 06 00 00 00 06 00 29
87B0 55 A2 00 1E 00 8B C4 1A 26 07 06 00 03 78 83 1A
87C0 01 06 00 75 E8 F7 77 82 67 03 5C B0 74 01 FF
87D0 01 50 3E 00 80 75 40 22 D0 73 E9 FF 00 E8 F3 00
87E0 E8 F3 C3 FF FF FF FF FF FF FF FF FF FF FF FF
87F0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF

```

#### Obsah paměti IO<sub>14</sub>

slušné povely a data – s kontrolou na obrazovce terminálu, na niž se sledují i příslušné reakce mikroprocesoru a požadované výsledky. V tomto případě je modul připojen ke zdroji napájecího napětí a vhodně propojen třížilovým kabelem s terminálem.

Druhý způsob spočívá v použití běžného neupraveného televizoru (černobílého) ve funkci obrazovkového monitoru – displeje. K tomuto (nákladnějšímu) způsobu využití je však třeba modul (zasunutý do tzv. „mateřské“ rozváděcí desky s řadou protikonektorů) doplnit ještě o další stykový modul s řadičem obrazovkového rozkladu, vyrovnávací pamětí, vy modulátorem [49] a samostatnou klávesnicí. Rozváděcí deska umožňuje i rozšíření o další moduly, např. paměťové.

Pro provoz jakéhokoli počítačového systému je rozhodující jeho provozní (obslužný) program, uložený v pamětech ROM. V našem případě se jedná o monitorovací program uložený ve dvou pamětech EPROM, IO<sub>13</sub> a IO<sub>14</sub>, každé o kapacitě 2 kilobitů.

ném případě v provozu – ukončí monitor jakoukoli právě probíhající činnost a přejde na inicializační rutinu. Ta nastaví přerušovací vektory 1 až 3 takto:

přerušení 1 – krokování povelu „single step“.

přerušení 2 – NMI (nemaskovatelné přerušení), monitoruje vstup NMI, zda nepřechází do úrovně L.

přerušení 3 – bod zarážky, používaný při povelu „go“ (spuštění programu až k testovacímu bodu).

Dále pak tato rutina inicializuje registry procesoru CS, DS, SS, IP a F1 na 00h a registr SP na 0100h (báze zásobníku). A protože SP tedy ukazuje na adresu 100h, leží vnitřní zásobník (stack) v rozsahu 48 slabik v úseku 0D0h až 0FFh. Z nich je vyhrazeno 26 slabik pro uložení obsahu registrů pro výše uvedené typy přerušení. Současně zobrazí monitor na displeji v první řádce svůj název a číslo verze, v druhé řádce pak tečkou („.“) indikuje svoji připravenost k převzetí a vykonání jednoho z možných deseti povelů.

### Povely monitoru

Monitor pracuje s deseti povely, z nichž poslední dva jsou méně významné, neboť se vztahují k spolupráci s již méně užívanou děrnou páskou. Povely jsou tyto:

1. D (display memory) — zobraz blok paměti v určeném úseku.
2. X (examine-modify-register) — zobraz nebo změň obsah daných (daného) registrů (registru).
3. S (substitute memory) — zobraz a případně změň obsah paměťových buněk od zadané adresy.
4. M (move) — přesuň blok dat v paměti na jiné místo.
5. I (port input) — převezmi a zobraz data ze vstupní brány.
6. O (port output) — vyšli data na výstupní bránu.
7. G (go) — předej řízení uživatelskému programu.
8. N (single step) — proved' jednu instrukci uživatelského programu.
9. R (read hex file) — načti soubor šestnáctkových dat z děrné pásky.
10. W (write hex file) — vyšli blok dat z paměti výstupní branou do děrovače děrné pásky.

### Formát povelů, jejich odezvy

**Povel D** pro zobrazení dat má formát:

D[W] < adresa startu > [ < adresa konce > ] < cr > ,

kde údaje obsažené v závorkách nemusí být zadány, zápis W pak znamená, že zobrazení je žádáno po slovech a nikoli po slabikách. Zobrazovaný blok nemůže být delší než 64 KB. Zobrazení se děje po šestnácti slabikách v jednom řádku, nebo po osmi slovech v jednom řádku, což bude dále ukázáno na příkladu zadání povelu a jeho odezvy po provedení:

Φ1 Zobraz obsah úseku v rozmezí 08h až 024h včetně, relativně k registru DS

→ D DS:8,2 < cr >

0008 AC EE BA EA FE EC 24 0F  
0010 74 FB E8 27 00 BA 00 00 43 80 FB  
AB C4 80 AA 04

0020 8A 4D 46 BA EA FF B0 87 EE BA  
E8

→  
kde podtržené výrazy jsou odezvou počítače na provedený povel.

Φ2 Zobraz obsah paměťové buňky na adrese 024Fh relativně k registru CS

→ D 024F < cr >

02AF C3

Φ3 Zobraz obsah paměti po slovech v úseku 0FF000h až 0FF024h

→ DW FF00:0,2A < cr >

0000 A890 0098 0072 0087 4328 2027  
3933 483C

0010 3EAA 12C3 4C45 2020 524F 4050  
0000 000A

0020 A57F 0000 007D 8600 5006 303C

Povel se dá zrušit, popř. vydávání jednotlivých slabik či slov na obrazovku může být zastaveno v kterýkoli okamžik z klávesnice terminálu příkazem CTRL-C, nebo CTRL-S. Posledně jmenovaný příkaz však pouze zastavuje provádění daného povelu, zatímco CTRL-C jej přímo zruší. Po zastavení příkazem CTRL-S lze opět pokračovat v dalším zobrazování obsahů příkazem CTRL-Q. **Povel X** pro zobrazení a změnu obsahu registrů má formát:

X [ < reg > ] [ [ < nový obsah > ], ] < cr >

kde < cr > — jako v předcházejícím případě — znamená ukončení zadání stisknutím tlačítka cr (carriage return), označeného lecky jen „return“, nebo „enter“, či (u moderních počítačů druhu PC) nakreslenou zalomenou šipkou. Zadáme-li pouze X (s následným < cr >), pak se na obrazovce objeví obsahy všech čtrnácti registrů. Chceme-li však změnit jen obsah určitého registru, zadáme po X jeho označení, pak procesor vydá rovnítko a obsah zvoleného registru, následovaného pomlčkou a mezerou. Nyní lze zapsat nový obsah a stvrdit jej stiskem < cr > nebo — místo stisku „cr“ zapsáním čárky („“), sdělit monitoru, že se požaduje vydání obsahu následujícího registru.

Příklady:

Φ4 Zobraz obsahy všech registrů!

→ X < cr >

AX=004C BX=0008 CX=000A DX=F  
FEA SP=0100 BP=D3EB SI=8213  
DI=0001 CS=0010 DS=0010 SS=0000  
ES=0000 IP=001E FL=E047

→  
Φ5 Změň obsah registru CS a zobraz obsah následujícího registru!

→ X CS=0010- 2A,

DS=0010- < cr >

A rovněž v těchto příkladech je podtržením vyjádřena odezva počítače na dané povely. Tato podtržení nejsou na obrazovce monitoru generována; zde jsou uváděna pouze z důvodu lepší rozlišitelnosti, co zadává uživatel a co generuje jako odezvu počítačový modul. Registry následují za sebou vždy v uvedeném pořadí a označují se uvedenými zkratkami.

**Povel S** se používá pro zobrazení obsahu slabiky či slova zvoleného paměťového místa. Indikovaný obsah může být následně změněn. Povel má formát:

S [W] < adresa > , [ [ nový obsah ], ] < cr >

Není-li zadána hodnota segmentové adresy, je použit běžný obsah kódového registru CS. Po uložení adresy zobrazované slabiky musí vždy následovat oddělovací čárka, zapsaná z klávesnice. Pak vydá monitor obsah adresovaného místa v paměti, ukončeného pomlčkou a mezerou (což indikuje, že monitor čeká na změnu novým datem, či stvrzení stávajícího obsahu stisknutím „cr“). Rovněž zde je možno

vyžádat si vydání obsahu dalšího místa zapsáním „“ místo ukončujícího „cr“. Je-li použit povel SW pro zobrazení slova, je nejprve vydán obsah následné paměťové buňky provázené v zápětí obsahem adresované paměťové buňky. Obdobně, při změně obsahu slova, je první slabika (tj. dva šestnáctkové znaky) zapsána do následné buňky, zatímco druhá slabika je zapsána do adresované buňky.

Φ6 Zobraz obsah buňky paměti ROM na adrese 0FF000h!

→ S FF00:0, 90- < cr >

→  
Φ7 Zobraz obsah buňky paměti RAM na adrese 050h, relativně k registru DS a změň obsah buňky na adrese 051h na 0F6h!

→ S DS:50, E4- ,  
0051 A4- F6 < cr >

→  
Φ8 Zobraz a změň obsah vrcholového slova zásobníku!

→ SW SS:SP, C98C- C98A < cr >

→  
Φ9 Zobraz obsah paměťových buněk v paměti RAM v úseku 0100h až 0107h relativně k registru CS a změň obsah buňky na adrese 0105h z 0FAH na 0BAh!

.SW 100, 3FF3- ,  
0102 FA7B- ,  
0104 FA77- BA77,  
0106 C4F1- < cr >

**Povel M**, jímž se přemísťuje blok dat v paměti do jiného úseku, má formát: M < adresa počátku > , < adresa konce > , < počáteční adresa určení > < cr >

Podobně jako u povelu D a S i zde je koncová adresa relativní k hodnotě adresy segmentu, specifikované nebo zahrnuté v adrese počátku. (Není-li adresa segmentu specifikována, je implicitně použit segment CS.) Délka přemístitelného bloku je limitována na max. 64 KB.

Protože blok dat se přemísťuje po slabikách, lze tento povel použít k vyplnění zvoleného úseku paměti zvolenou konstantou. To je realizovatelné specifikováním takové adresy místa určení, jež je o jednu větší než je adresa počátku. Pak je naplněn blok paměti od adresy počátku do adresy konce zvětšené o jednu tou konstantou, jež je uložena na adrese počátku. Konstanty se zvolí povelu S pro buňku o adrese počátku bloku, jehož provedení předchází vlastnímu vyplnění daného bloku konstantou.

Φ10 Přesuň obsah úseku vymezeného adresami 0100h až 015Ah na místo určení, začínající adresou 0600h, relativně k registru CS!

→ M 100,15A,600 < cr >

→  
Φ11 Přesuň obsah úseku vymezeného adresami 0200h až 0250h, relativně k registru DS, do úseku paměti začínající na adrese určení definované hodnotou segmentu rovné registru ES+010h a ošetem 02Ch!

→ M DS:200,250,ES+10:2C < cr >

→  
Φ12 Vyplň úsek paměti vymezený adresami 0250h až 0310h, relativně k registru CS, konstantou AAh!

→ S 250, C4- AA < cr >

→ M 250,30F,251 < cr >

→

**Povolem I** je přebírána slabika nebo slova ze vstupní brány a je zobrazena na displeji. Povel má formát:

I [W] < adresa brány >, [I] < cr >

Protože adresování vstupních a výstupních bran je omezeno na 64 KB, není dovoleno používat pro adresaci označení segmentu. Po vložení adresy brány je vyžadováno označení čárkou (","), má-li být na displeji zobrazena vstupní slabika či slovo. Každá následující čárka způsobí zobrazení právě sejmuté data z adresované brány, a to na novou řádku. Povel se ukončuje tlačítkem < cr >.

Povel I (a rovněž následující povel O) je používán pro přenos vstupně/výstupních dat z bran stykového obvodu 8255 — pokud je osazen. Adresy jeho tří kanálů pro dolní polovinu datové sběrnice jsou:

P2A — FFF8h, P2B — FFFAh,

P2C — FFFCh,

pro horní polovinu pak:

P1A — FFF9h, P1B — FFFBh,

P1C — FFFDh.

**Φ13** Vstup jednoho slova z paralelních bran kanálů P1A a P2A (tj. dvou stykových obvodů 8255):

—IW FFF8,

A2C4 < cr >

—

**Φ14** Vstup několika slabik z brány kanálu P2C:

—I FFFC,

E0,

00,

A7,

C3,

90 < cr >

**Povel O** pro vydání slabiky nebo slova, má formát:

O [W] < adresa brány >, < datum > [, < data >] < cr >

Protože stykové obvody 8255 jsou při inicializaci naprogramovány jako vstupní, je nutno před použitím povelu O pro vydávání dat je přeprogramovat do výstupního módu. To je ovšem možné realizovat také povelom O, ovšem na adresu řídicí brány řídicí slabikou či slovem, určující pak výstupní (popřípadě zpětně vstupní) mód. Pro dolní polovinu sběrnice P2 je řídicí adresa FFFEh a řídicí slovo výstupního módu 80h (vstupního 9Bh), pro horní polovinu P1 jsou to FFFFh, 80h (9Bh), pro obě poloviny pak FFFEh, 9B9Bh, (8080h).

Povel O (output) se též ukončuje stisknutím klávesy enter („cr“), čárka vyvolá vydání následného slova nebo slabiky, viz příklady:

**Φ15** Modifikuj paralelní brány stykového obvodu 8255 jako výstupní!

—O FFFE,80 < cr >

—

**Φ16** Vydej několik slabik bránou P1C!

—O FFFD,1A,

—4C,

—2A,

—90 < cr >

**Povolem G** (go) se předává řízení procesoru 8086 ze sériového obslužného programu (monitoru) na uživatelský program uložený v paměti. Povel má formát:

G [< adresa počátku >] [, < adresa zarážky >] < cr >

Po zadání povelu G je odezvou mikropočítačového modulu vydání adresy, na níž ukazuje programový čítač IP a obsah buňky jím adresované; adresu

počátku lze zadat až po uvedené odezvě počítače a program se spouští klávesou enter (= < cr >). Zastavit provádění programu — zejména nalézali se ve smyčce — lze systémovým tlačítkem „reset“ (nacházejícím se přímo na modulu), nebo tlačítkem „interrupt“ (pokud jím modul doplníme [2]).

Povel umožňuje vložit adresu zarážky, tj. adresy, na níž se má testovaný (ověřovaný) program zastavit. Zarážka má stejný účinek, jako kdybychom v daném bodě stiskli tlačítko „interrupt“. Tehdy je řízení vráceno monitoru, obsahy registrů jsou uloženy do zásobníku a na displeji je vydána zpráva:

BR@aaaa:bbbb,

kde „aaaa“ je hodnota registru CS a „bbbb“ je hodnota programového čítače IP. Následuje-li další povel G, pak program pokračuje od adresy zarážky.

**Φ17** Předěj řízení uživatelskému programu na startovací adrese 0390h, relativně k registru CS!

—G 0000-EC 3DO < cr >

—

**Φ18** Předěj řízení programu na startovací adrese 12.0h a zastav se na zarážce 12:37h:

—G 020E-24 12:0,37 < cr >

BR@0012:0037

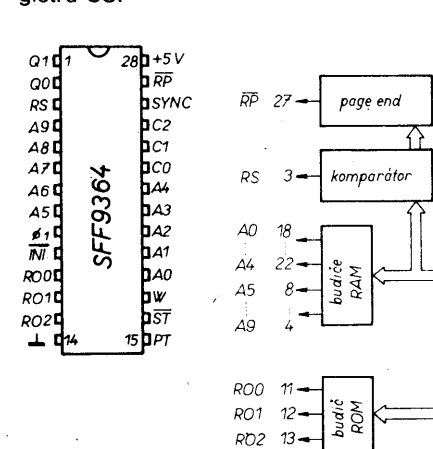
—

**Povel N** (single step) je určen ke krokování programem, tj. k provádění vždy jen jedné instrukce uživatelského programu. Povel má formát:

N [< adresa počátku >], [[< adresa počátku >], ] < cr >

Po jeho zadání monitor vydává adresu programového čítače IP (tj. offset adresy příští instrukce, jež má být realizována) a slabiku buňky označenou registrem IP a CS. Je-li požadováno krokování od určité adresy, zadá se tato po N jako adresa počátku. Obsahuje-li adresa počátku označení segmentu, jsou modifikovány oba registry, tj. IP a CS. Po vložení čárky je provedena adresovaná instrukce a řízení je vráceno monitoru; ten uloží obsahy všech registrů a vydá adresu a slabiku následující instrukce (přípravené k provedení) na další řádku. Každou následující vloženou čárkou je provedena následná instrukce; enter (< cr >) ukončuje povel.

**Φ19** Krokuj několika instrukcemi od počáteční adresy 0100h relativně k registru CS.



Obr. 48. Pouzdro řadiče SFF 9364 a jeho vnitřní struktura

—N 0000-90 100,

0102-8E,

0104-BA,

0107-BQ,

0109-EE,

010A-BA < cr >

—

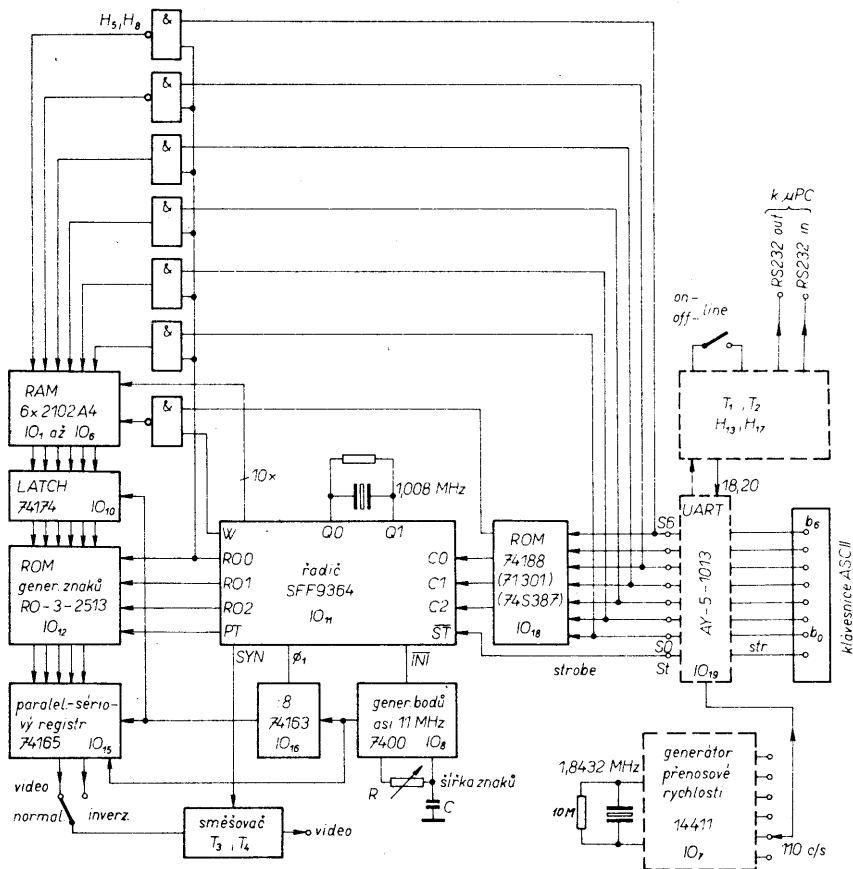
## Deska obrazkového řadiče

V současné době je zvykem používat jako víceřádkový alfanumerický displej obrazkový monitor. Na obrazovce lze poměrně dobře znázornit 12, 16, 24 i více řádků, přičemž počet znaků na řádku se z původně třicetivou přes dvojnásobek ustálil (díky IBM PC) na osmdesáti. Je třeba však mít na paměti, že větší počet zobrazovaných znaků v řádku klade vyšší nároky na přenosové vlastnosti celého obrazkového monitoru (šířka pásma až 18 MHz oproti 6,5 MHz běžných televizorů), proto v třídě domácích počítačů (u nás zastoupeny převážně počítačem Sinclair Spektrum) je řádek prezentován 32 znaky.

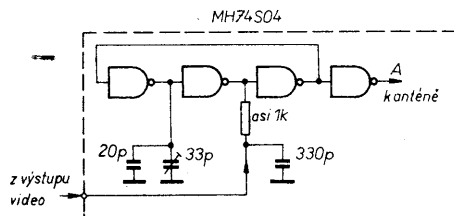
Obrazkový displej — ve svém prvním klasickém provedení — si vyžádal použít až tři sta integrovaných obvodů TTL střední složitosti. Postupem času — spolu s tendencí využívat stávajících televizních přijímačů jako monitorů — se nutný počet obvodů zmenšil asi na 50, přičemž tři až jednodeskové provedení bylo koncipováno pouze jako rozhraní mezi mikropočítačem a televizním přijímačem či obrazkovým monitorem. A protože toto řešení z hlediska příkonu a spolehlivosti nebylo nejvýhodnější, zavedli někteří výrobci (National Semiconductor, Sescosiem, Intel, Siemens, ...) do svého výrobního programu obvod LSI — řadič obrazovky. Tyto řadiče vykonávají víceméně většinu funkcí požadovaných pro zobrazování informací na obrazovce, přičemž snižují celkový potřebný počet obvodů rozhraní; některé (Siemens SAB8275) umožňují připojit i tzv. světelné tužky. Řadič, který si popíšeme, je výrobkem fy Sescosiem, typ EF9364AP. Provádí potřebné funkce samostatně s podporou několika integrovaných obvodů, a je jádrem dále popsaného rozhraní. Toto rozhraní se vkládá mezi mikropočítačový modul a TV monitor, přičemž se k němu ještě připojuje alfanumerická klávesnice (s paralelním výstupem), tedy tak, jak bylo jako alternativa b) naznačeno na obr. 45.

## Koncepce rozhraní

Jak již bylo řečeno, tvoří hlavní část rozhraní řadič, jehož tvar pouzdra (DIL



Obr. 49. Blokové schéma rozhraní s obrazovým řadičem



Obr. 50. Zapojení neladěného modulatoru, osazeného jedním obvodem TTL

15 se 40 vývody) i vnitřní struktura jsou na obr. 48. Vzhledem k poměrně malému počtu dalších podpůrných součástí — IO a tranzistorů — lze rozhraní umístit na jednu desku evropského formátu (160 × 100 mm), jež tak vytváří univerzální modul.

Jednou z důležitých funkcí řadiče je synchronizace TV obrazu. Řízený krystalovým oscilátorem, vestavěným v obvodu, generuje řadič ve vyhovujícím přiblížení normě CCIR odpovídající synchronizační signál, obsahující jak řádkové, tak i obrazové synchronizační impulsy. Tentýž oscilátor řídí čítač displeje, jenž je určen pro adresování generátoru znaků (řádková adresa) a paměti displeje (6 × 2102 nebo 1 × 4118). Čítač displeje vysílá signály do komparátoru kurzoru a bloku „konec stránky“ (page end). Výstupní signál komparátoru PT se používá ke znázornění kurzoru na požadovaném místě na obrazovce. Simultánním použitím signálů RP a RS lze rozšířit adresový rozsah paměti zobrazovaného rozsahu až na 16 stránek po 1 KB; tato možnost však v popisovaném případě není využita. Signál RS tedy slouží k přechodu z jedné stránky na druhou, signál RP představuje takt pro čítač, potřebný k rozšíření adresového rozsahu.

Adresování paměti a generování synchronizačních signálů by bylo bez-

cenné bez dalších řídicích funkcí. Tuto úlohu plní dekodér řízení, ukazatel zápisu a řízení zápisu — viz příslušné bloky. Dekodér řízení kurzoru je buzen třibitovým signálem; podle bitového obsahu na vstupech C0, C1 a C2 realizuje dekodér následující funkce kurzoru:

C2	C1	C0	
0	0	0	výmaz celé stránky a kurzor vlevo nahoru (home — FF)
0	0	1	kurzor vlevo a výmaz řádku (CR)
0	1	0	nový řádek — kurzor o jedno místo dolů (LF)
0	1	1	inhibice znaku
1	0	0	kurzor vlevo o jedno místo (BS)
1	0	1	výmaz řádku označeného kurzorem
1	1	0	kurzor o jedno místo nahoru (VT)
1	1	1	normální znak

Provedení první instrukce trvá 128 ms, ostatních pak 8,3 ms; jsou tedy relativně pomalé, naproti tomu nevyvolává jejich vykonání rušivé vedlejší úkazy. Počet instrukcí je možné signálem W (z bloku řízení zápisu) zvětšit, např. o stránkování (další stránka, předcházející stránka), nebo o řádkování (další řádek). Dekodování probíhá v souladu s obsahem paměti PROM (IO<sub>18</sub>) rozhraní, jež je naprogramováno takto:

adresa paměti 74S387	Q3	Q2	Q1	Q0
0 až 127	1	0	0	0
128 až 135	0	0	1	1
136	0	1	0	0
137	0	1	1	1
138	1	0	1	0
139	0	1	1	0
140	1	0	0	0
141	1	0	0	1
142 až 153	0	0	1	1

154	1	1	0	1
155	0	0	1	0
156	0	0	0	0
157	0	0	0	1
158 až 159	0	0	1	1
160 až 254	1	1	1	1
255	0	0	1	1

Informace v obrazové paměti (IO<sub>1</sub> až IO<sub>6</sub>) je pro jednu stránku čtena osmkrát; znaky jsou vytvářeny v rastru 5 × 7 bodů.

Na obr. 49 je blokové schéma rozhraní s obrazovkovým řadičem; z něho je zřejmé, že vstupní informace je buď ukládána do obrazové (video) paměti RAM, nebo — jestliže dekodér rozpozná ve vstupní informaci jedno z výše uvedených řídicích slov kurzoru — v přetransformovaném tvaru již přímo na vstupy řadiče C0 až C2.

Na vstup řadiče je tedy vstupní informace přiváděna ve formě 7bitových slov paralelně, a to po projití obvodem UART (IO<sub>19</sub>) z připojené klávesnice. (Pokud by se nepožadovala součinnost mikroprocesorového systému prostřednictvím sériového vstupu a výstupu, bylo by možno připojit klávesnici ke svorkám S0 až S6 vzorkovacího signálu St. Pak by se klávesnicí zadávala informace jen na displej, např. pro reklamní, informační apod. účely.)

Informace z paměti přichází do střadače IO<sub>10</sub> (74174), jenž je připojen ke generátoru znaků IO<sub>12</sub>. Obsahem tohoto generátoru znaků je pevně určen tvar písmen, číslic a znaků (včetně diakritických znamének). Použitý generátor znaků (RO-3-2513) obsahuje pouze 64 znaky; proto, je-li nedostupný, či chceme-li rozšířit interpretační schopnost obrazovkového modulu i o malá písmena, jej lze nahradit vhodně naprogramovanou pamětí EPROM. (Generátory znaků v pevné formě, tzn. naprogramované maskou již od výrobce, se nasazovaly v počátečních rozvoje terminálů a obdobných zařízení výpočetní techniky. Tomu odpovídala i technologie jejich výroby, takže zpravidla vyžadovaly ke svému provozu dvě napětí. Proto je výhodnější jako generátor znaků použít jeden z dále uvedených typů EPROM — „jednapětíových“ — umožňujících zadat libovolnou množinu znaků podle požadavků uživatele a to 2758 nebo 2716).

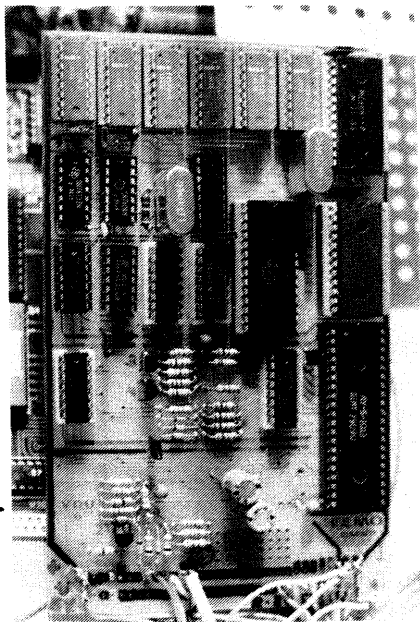
Protože se znaky na stínítku obrazovky objevují po linkách (TV řádcích), musí být obsah paměti čten pro jeden obrázek osmkrát v daném sledu, což obstarává řadič IO<sub>11</sub>. Z výstupu generátoru znaků vycházejí pětibitová slova na posuvný registr IO<sub>15</sub>, jenž zajišťuje převod paralelního pětibitového tvaru na sériový. Protože tento registr je osmibitový, jsou tři zbývající členy čteny jako nulové, doplňují tedy paralelně vkládanou informaci na výstupní osmibitový sériový tvar. Uvedenými nulovými bity se získá vodorovné oddělení mezi jednotlivými znaky (v rastru 5 × 7), zlepšující čitelnost. Impulsy potřebné k posouvání obsahu registru, se získávají z generátoru bodů IO<sub>8</sub>, koncipovaného ze dvou hradel NAND, jehož kmitočet je nastaven trimrem R asi na 11 MHz. A protože všech osm horizontálních linek každého znaku musí být přesně pod sebou, je generátor bodů synchronizován též řadičem, a sice signálem INI.

Děličem osmi (IO<sub>16</sub>) je ze signálu bodového generátoru odvozen i takt pro adresování paměti, uchovávající zadané znaky. Tímto taktem je piněn adresový čítač řadiče přes vstup Φ<sub>1</sub>, jenž návazně zajišťuje převzetí dalšího pětibitového vzorku (tj. jedné „linky“ znaku) do posuvného



padné i o paritní bit. Propojením vývodů 35 až 39 může být tento podpůrný obvod naprogramován pro prakticky všechny v úvahu přicházející formáty, viz následující přehled:

Vývod	Přiložená logická úroveň	Formát vysílaného přijímaného slova
35	1 0	bez paritního bitu s paritním bitem
36	1 0	dva ukončovací bity „stop“ jeden ukončovací bit „stop“
39	1 0	sudá parita lichá parita



Obr. 52. Pohled na osazený modul obrazovkového řadiče

37	0	pětibitový znak
38	0	
	0 1	šestibitový znak
	1 0	sedmibitový znak
	1 1	osmibitový znak

V téměř pouzdře je též přijímač, jenž došlý sériový datový tok mění zpětně v paralelní datová slova. Rychlost sériového přenosu dat je řízena taktovacími impulsy na vstupu 17 a 40; kmitočet taktu musí být 16násobkem zvolené přenosové rychlosti.

ti. Takt poskytuje již vzpomenutý generátor přenosové rychlosti IO<sub>7</sub>, stabilizovaný krystalem o 1,8432 MHz. (Rovněž řadič IO<sub>11</sub> je synchronizován krystalem, a to o kmitočtu 1,008, popř. 1,000 MHz.) Vstup a výstup UART jsou propojeny logickými členy tak, že je možno volit provoz plně duplexní nebo polovičně duplexní (half-duplex). Je-li volič P<sub>1</sub> sepnut (uzemněn), pracují vysílač a přijímač odděleně; tehdy data vyslaná z klávesnice se nezapisují na obrazovku – spolupráce s mikropočítačem je však možná. Při rozpojeném P<sub>1</sub>, tj. při plně duplexním provozu, jsou na obrazovce jak znaky vyslané z klávesnice, tak i jejich odezva z připojeného mikropočítačového modulu.

(Dokončení příště)

## SEVEROČESKÉ ELEKTRÁRNY

koncernový podnik Most,  
závod teplárna Trmice, PSČ 400 04



přijme do pracovního poměru pracovníky těchto profesí:

pro závod v Ústí nad Labem-Trmicech:

### kategorie THP:

- projektant ASŘ — technické procesy VŠ T 12
- SOPTP — elektro ÚS T 11
- SOPTP — MaR ÚS T 11
- mistr III. — směn. vod. hospodářství ÚS T 10a
- mistr strojní dílny ÚS T 10a
- SOTP — příprava práce VŠ T 11
- strojní VŠ T 11
- SOTP — příprava práce — stavební ÚS T 11
- SOTP — příprava práce — strojní ÚS T 11

### kategorie D:

- topiče D 7, 8
- strojníky TG D 7, 8
- strojníky napáj. stanice D 7
- provozní mechaniky MaR D 7
- provozní elektrikáře D 8
- úpravě vody D 6, 7
- provozní laborant D 7
- provozní zámečníky D 6, 7
- svařeče D 6, 7
- opraváře dozerů D 6, 7
- soustružníky kovů D 6, 7

- izolatéry D 6, 7
- malíř-natěrač D 6
- vulkanizér D 6
- strojvedoucí lokotraktoru D 6

pro pracoviště RT v Ústí nad Labem:

- zedníky D 7
- svařeče D 7, 8

pro výtopnu Děčín:

- zedníky D 7
- mechanik MaR D 7

pro výtopnu Litoměřice:

- topiče D 6
- zedníky D 7

### Závod nabízí:

- perspektivní zaměstnání
- pro některé profese organizovaný nábor
- možnost přidělení stabilizačního bytu
- výhody pro pracovníky v energetice
- možnost zahraničních a tuzemských rekreačních a rekreačních dětí

Informace podá osobní oddělení závodu, telefon Ústí n/L 254 61.

čitelně, aby se předešlo chybám vznikajícím z nečitelnosti předlohy.

## PRODEJ

**RAM 4164-15** refr. 7 (100), 4256-15 (220) a PC-Floppy. Ing. M. Chytík, Na spýně 820, 147 00 Praha 4.  
**Přístrojové skříně** stavebnicové pro konstrukce AR dle AR B 1/85, typ I — II — III (80, 90, 100) z mat. Al — Fe, zákl. barva šedá, panely Al, bočnice + kryty Fe. F. Vovesný, J. Fairmonové 18, 628 00 Brno.  
**BTU Rubin C-202** (4800), mgf Unitra M24055, M14175 (1800, 1600) + pásky ø 15 (à 70), 2 x 3 pásm. repro (à 400). S. Novotný, 538 03 Heřm. Městec 773.  
**BFR90** (80), BF963 (50), BFT ant. zes. UHF 16 dB (360), LED (6), cuprex. 36x27 (70). J. Zavadil, Jindřišská 14, 110 00 Praha 1.

**Koupíme počítač ATARI 130 XE, disket. jednotku 1050 a tiskárnu 1029. Ihned.**

STS n. p. Šumperk, ing. Šebešta, 787 01 Šumperk

**Programy** pro ZX Spectrum na kazetách ve velkém výběru i novinky. Seznam zašlu, možno i jednotlivě (à 10), dále literaturu, různé manuály ve větším výběru. Jen písemně — končí. J. Hlaváček, Kociánova 1581/7, 155 00 Praha 5.  
**Atari 800 XL** s XC12 (9850). P. Urbanec, Ruská 487, 417 01 Dubí I.

## INZERCE



Inzerce přijímá osobně a poštou Vydavatelství Naše vojsko, inzerční oddělení (inzerce AR), Vladislavova 26, 113 66 Praha 1, tel. 26 06 51—9, linka 294. Uzávěrka tohoto čísla byla dne 29. 10. 1987, do kdy jsme museli obdržet úhradu za inzerát. Neopomeňte uvést prodejní cenu, jinak inzerát neuveřejníme. Text inzerátu pište

## NOVÉ PRACOVNÍŠTĚ RESORTU SPOJŮ

pro údržbu a vývoj SW telekomunikačních zařízení nasazovaných v čs. jednotné telekomunikační síti

přijme zájemce o práci v oborech:

- programování spojovacích a dohledových SPC systémů
- programování a provoz podpůrných a testovacích prostředků údržby SW
- školení a tvorbu kursů pro SPC technologii.

Informace osobně,  
písemně i telefonicky  
na č. tel. 27 28 53, 714 25 79

Praxe v oboru programování (mini a mikropočítače) vítána. Plat zařízení podle ZEUMS II. Pro mimopražské pracovníky zajistíme ubytování.

MEZINÁRODNÍ A MEZIMĚSTSKÁ  
TELEFONNÍ A TELEGRAFNÍ ÚSTŘEDNA  
V PRAZE 3,  
OLŠANSKÁ 6





## ČKD Praha, o. p. závod POLOVODIČE

na trase metra C  
stanice: Mládežnická—Budějovická

- Chcete pracovat v novém, atraktivním prostředí?
- Chcete pracovat na nejmodernější výpočetní technice?
- Chcete vidět jak se chová vaše technické dílo?
- Chcete se podílet na programu automatizace?

Přijímáme s možností získání bytu: programátory, systémové inženýry, prog.-analytiku, projektanty, teoret. kybernetiku a ing. silnoproudé i slaboproudé elektrotechniky pro vývoj složitých automatických systémů řízení dodávaných do tuzemska i na export.

**Čekáme na vás — informujte  
se přímo v závodě!**

Přijímáme absolventy všech příbuzných oborů schopné a ochotné se podílet na tomto programu, ať již v oblasti vývoje HW a SW automat. prostředků vyráběných a vyvíjených v ČKD POLOVODIČE, tak v oblasti projektování a návrhů systémů automatizovaného řízení technologických procesů a tech. objektů pro oblast teplych a studených válcoven, hutního a slévárenského průmyslu, cementáren, úpraven rud a dalších.

**INFORMACE: ČKD POLOVODIČE, BUDĚJOVICKÁ 5, PRAHA 4, NÁBOR PRACOVNÍKŮ — PŘÍMÁ LINKA 42 69 65.**

**Katalogy** ELORG (à 50), sedmisegmenty SSSR (à 35), osazený zesilovač Texan (à 200), stavebnice hodin (à 180), světelný had AR 11/84 (à 550). M. Sejvl, Kroupova 16, 150 00 Praha 5-Smíchov.

**Televizní hry** s AY-3-8500 (600). V. Šurček, Markova 154, 744 01 Frenštát p. R.

**Širokopásmový zesilovač** 3 x BFR90 (400), BFT96 500 mW/800 MHz (100), BFT97 F=1,8 dB/500 MHz (160), BFT66 (150), BFR90 (90), BFR91 (90), BFR96 (100), BF982 F=1,2 dB/500 MHz (95), koupím CGY21 10 ks. P. Poremba, nám. Febr. vít. 13, 040 00 Košice.

**Z80A CPU**, 2762, 4116, 6116 (190, 230, 120, 190), el. voltmetr (490), nový ZX Spectrum 48 kB (6000). Ing. V. Linhart, Ostrovská 7, 360 10 Karlovy Vary.

**Serv. man.** Panasonic NV 333 EG, Sanyo VTC 5000, VHR 1200 PS, Philips VR 2220, Grundig 2x 4 sup., trafo 220/220/150 VA. (à 200). V. Švec, Na vrstvách 21, 140 00 Praha 4.

**BFR90**, 91 (70). Jen písemně. H. Košťálová, Štědrého 1426, 440 01 Louny.

### KOUPĚ

**K ZX Spectrum** bodovou tiskárnu, A4 normál, papír, interface 1,2, literaturu, programy, joystick. J. Medlen, Železničářská 54, 312 17 Plzeň.

**SAA1056**, 1057, 1059, SO42P. B. Kunc, Jasuschova 26, 040 11 Košice.

**Kvalitní zesilovač**, popis, cena. M. Kašický, Středová 4786/1020, 760 05 Gottwaldov.

**BFR90**, 91, BFQ69, BFR34A, CFY18-23, CFY19, 2N2369, BB505B, BA379, BB204, TDA1190Z,  $\mu$ A733, SO42P, desku PTFE tloušťka 0,5 až 0,6 mm, oboustranné plátovanou CU, BNC konektory, bezvývodové kondenzátory. P. Náhlík, Štursova 1, 568 02 Svitavy.

**Výzkumný a vývojový ústav  
Pozemního stavitelství Praha,  
Praha 4, přijme absolventy VŠ  
a SŠ elektro v oboru měření,  
automatizace a výpočetní tech-  
niky. Informace: tel. 472 32 56,  
471 52 54.**

**TV hry** a pár obč. radiostanic. Uveďte popis, cenu. M. Martinovič, Prostejovská 15, 080 01 Prešov, tel. 460 39.

**2 ks** integrovaných obvodů AY-3-8610. Čím skôr, tým lepšie. D. Žuffa, Ploštín 32, 031 01 Lipt. Mikuláš.

**Sov. obr.** 23LK13B. L. Novák, Růžová 2125, 288 02 Nymburk.

**IO: SAA1056P, SAA1059, SAA1057, SAA1060.** Ing. M. Mierva, tr. Soviet. armády 37, 040 01 Košice.

**Zdroj 70 V** =, zesilovače V13 (WE60) a V14 (AE60) pro mgf SJ100. P. Faulkner, Nad Šárkou 17/1677, 160 00 Praha 6, tel. 36 69 98.

### VÝMĚNA

**Vyměním nebo prodám** nahrane kazety, diskety pro Atari XL 800 hry, programy. R. Vybíral, Novosady 1570, 769 01 Holešov.

**Hledám majitele** počítačů Sharp PC1245-46. Výměna programů a zkušeností. Koupím strojový kód a schému zapojení. J. Bírová, Slatinská 22, 821 00 Bratislava.

**Programy** pro Commodore C16, C116, plus/4. L. Kolář, Havlíčkova 2, 746 01 Opava.

### RŮZNÉ

**Commodore Amiga** — hledám majitele k výměně zkušeností a programů. R. Kubizňák, Dolní 411, 744 01 Frenštát p. R.

### PLOŠNÉ SPOJE

**JZD Budislav  
391 26 Tučapy**

**nabízí výrobu plošných spojů  
jednostranných a oboustran-  
ných neprokovných s krátkou  
dodací lhůtou.**

Objednávky a informace při-  
jímáme na adrese:  
Ing. Aleš Málek, Na dolinách  
18/169, 147 00 Praha 4

**Novochema VD Levice  
Vajanského č. 5, PSČ 934 39  
zakupí**

**Výpočetní systém ATARI:**  
počítač 130 XE příp. 800 XL  
disketovou jednotku 1050  
(5.25") tlačiareň 1029 100%  
stav.

### Nabízíme část volné kapacity na rok 1988 v OSAZOVÁNÍ A PÁJENÍ DESEK PLOŠNÝCH SPOJŮ

Podle potřeby vyvrtáme, osadíme vlastními nebo dodanými součástkami a ručně zapájíme. Po dohodě zajistíme měření, montáž, případně další práce elektronické výroby.

- Pájení mikropáječkami s regulací teploty.
- Nový bezprašný provoz s antistatickou úpravou.
- Přístrojové vybavení.

**JZD „9. květen“, nositel Řádu práce  
675 55 Hrotovice**

PV Elektronika — tel. Třebíč 991 17-19 ing. Fiala, R. Horký, ing. Hejtmánek.